

ФЕДЕРАЛЬНОЕ АГЕНТСТВО ПО ОБРАЗОВАНИЮ
Государственное образовательное учреждение высшего профессионального образования

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ИНСТИТУТ
РАДИОТЕХНИКИ, ЭЛЕКТРОНИКИ И АВТОМАТИКИ
(ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)

Кафедра Вычислительной Техники

Лабораторный практикум
по дисциплине:
СХЕМОТЕХНИКА ЭВМ

Отчёт

По лабораторной работе №2:
Построение реверсивного сдвигового
регистра с загрузкой

Задание №
Группа:
Студенты:

16
ВВ-2-06
Красняков А.М.,
Котомин И.С.,
Шигаль Е.А.

Принял:

инж. 1 кат., ассистент Борисенко Н.В. _____

Москва 2008

Оглавление

1. Постановка задачи.....	3
2. Реализация в САПР Xilinx.....	6
3. Вывод.....	9

vv206.selfip.org

1. Постановка задачи

Целью данной лабораторной работы является построение реверсивного сдвигового регистра с загрузкой. Загружаемые в регистр данные приведены в таблице 1 (выделенные столбцы).

HEX	X ₃	X ₂	X ₁	X ₀	HEX	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	F	1	1	1	1
1	0	0	0	1	B	1	0	1	1
2	0	0	1	0	7	0	1	1	1
3	0	0	1	1	3	0	0	1	1
4	0	1	0	0	E	1	1	1	0
5	0	1	0	1	A	1	0	1	0
6	0	1	1	0	6	0	1	1	0
7	0	1	1	1	2	0	1	1	1
8	1	0	0	0	D	1	1	0	1
9	1	0	0	1	9	1	0	0	1
A	1	0	1	0	5	0	1	0	1
B	1	0	1	1	1	0	0	0	1
C	1	1	0	0	C	1	1	0	0
D	1	1	0	1	8	1	0	0	0
E	1	1	1	0	4	0	1	0	0
F	1	1	1	1	0	0	0	0	0

Табл.1. Исходные данные

Интерфейс регистра в общем случае и обозначение входов/выходов приведены на рисунке 1 и в таблице 2, соответственно.

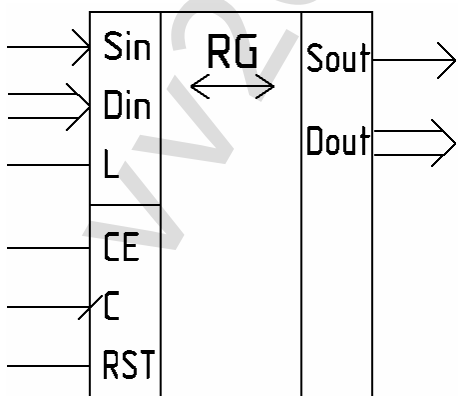


Рис. 1. Регистр с загрузкой

Обозначение	Назначение
S _{IN}	Последовательный вход данных
D _{IN}	Параллельный вход данных
L	Сигнал параллельной загрузки данных
CE	Сигнал разрешения синхронизации
C	Тактовый вход
RST	Сигнал сброса
S _{OUT}	Последовательный выход данных
D _{OUT}	Параллельный выход данных

Табл. 2. Обозначения в интерфейсе регистра

В работе использован принцип построения регистра, изображенный на рисунке 2.

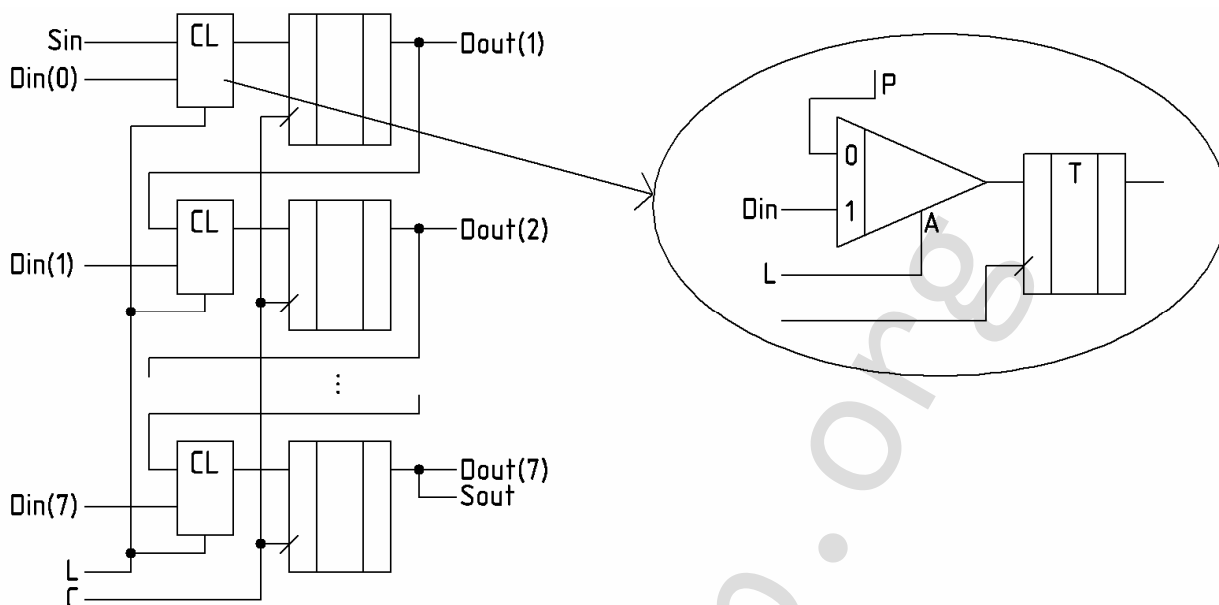


Рис. 2. Вариант реализации сдвигового регистра

Заданный интерфейс разрабатываемого устройства приведен на рис. 3, а его таблица управляющих сигналов – в табл. 3.

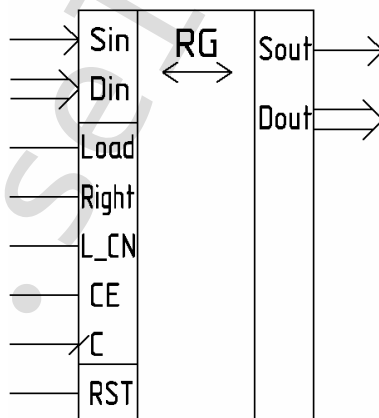


Рис. 3. Заданный интерфейс устройства

CE	LOAD	L_CN	RIGHT	Действие
0	*	*	*	Хранение
1	1	*	*	Загрузка $D_{out} := D_{in}$
	0	1	*	Загрузка $D_{out} := const$
	0	0	0	
	0	0	1	

Табл. 3. Управляющие сигналы

Принципиальная схема реверсивного сдвигового регистра для восьмиразрядного варианта приведена на рис. 4.

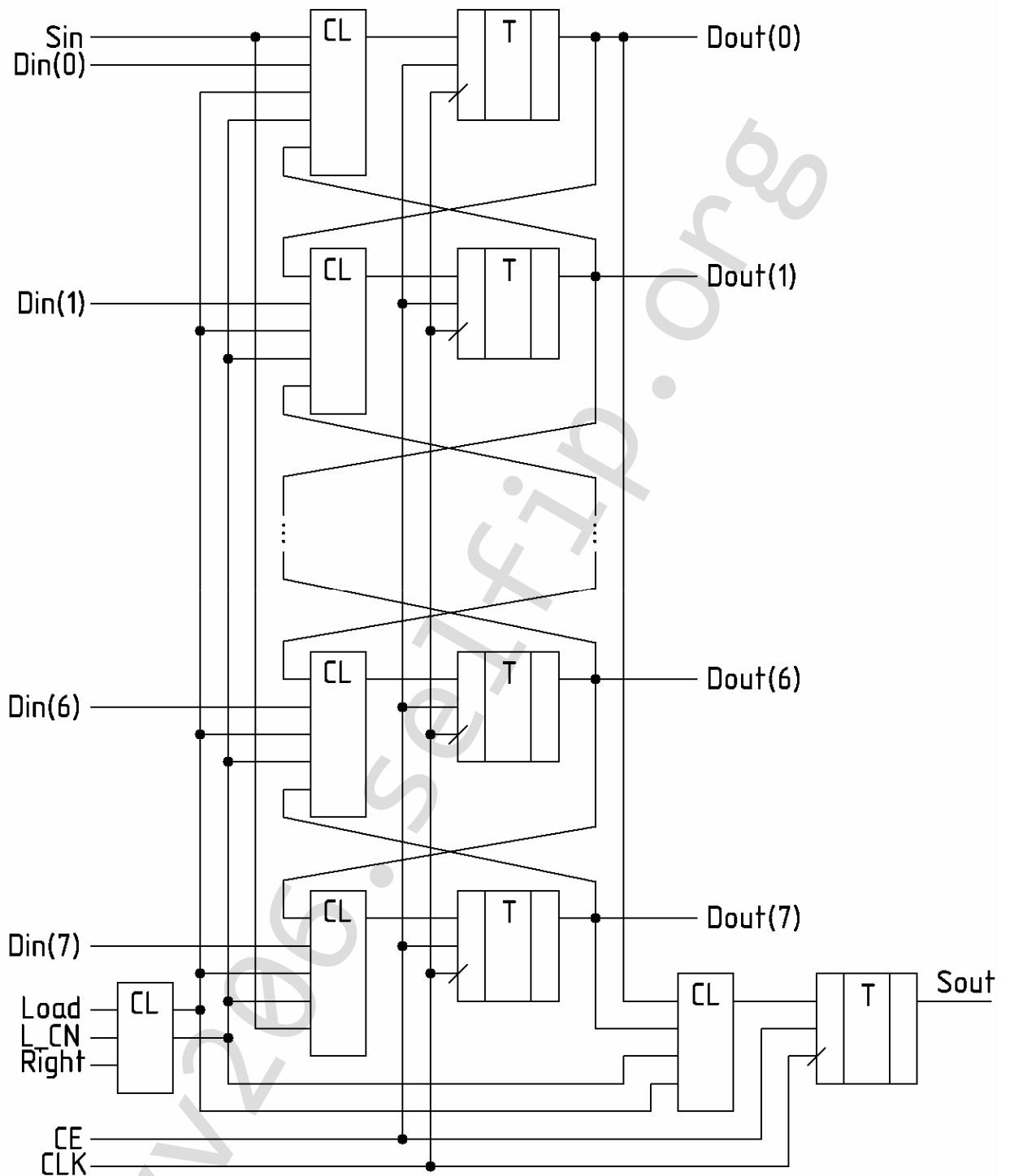


Рис. 4. Восмиразрядный сдвиговый регистр со схемой включения последовательного входа-выхода сдвигового регистра

2. Реализация в САПР Xilinx

Произведем реализацию комбинационной схемы, предназначенной для получения управляющих сигналов, на мультиплексорах.

По таблице 2 составим таблицу шифратора входных управляющих сигналов, построенного на основе мультиплексоров и предназначенного для управления внутренней логикой – таблица 4.

LOAD	L_CN	RIGHT	CM1	CM2	Значение сигнала
0	0	0	1	0	Сдвиг влево
0	0	1	1	1	Сдвиг вправо
0	1	0	0	1	Загрузка константы
0	1	1	0	1	Загрузка константы
1	0	0	0	0	Загрузка D _{IN}
1	0	1	0	0	Загрузка D _{IN}
1	1	0	0	0	Загрузка D _{IN}
1	1	1	0	0	Загрузка D _{IN}

Табл. 4. Таблица истинности входного шифратора

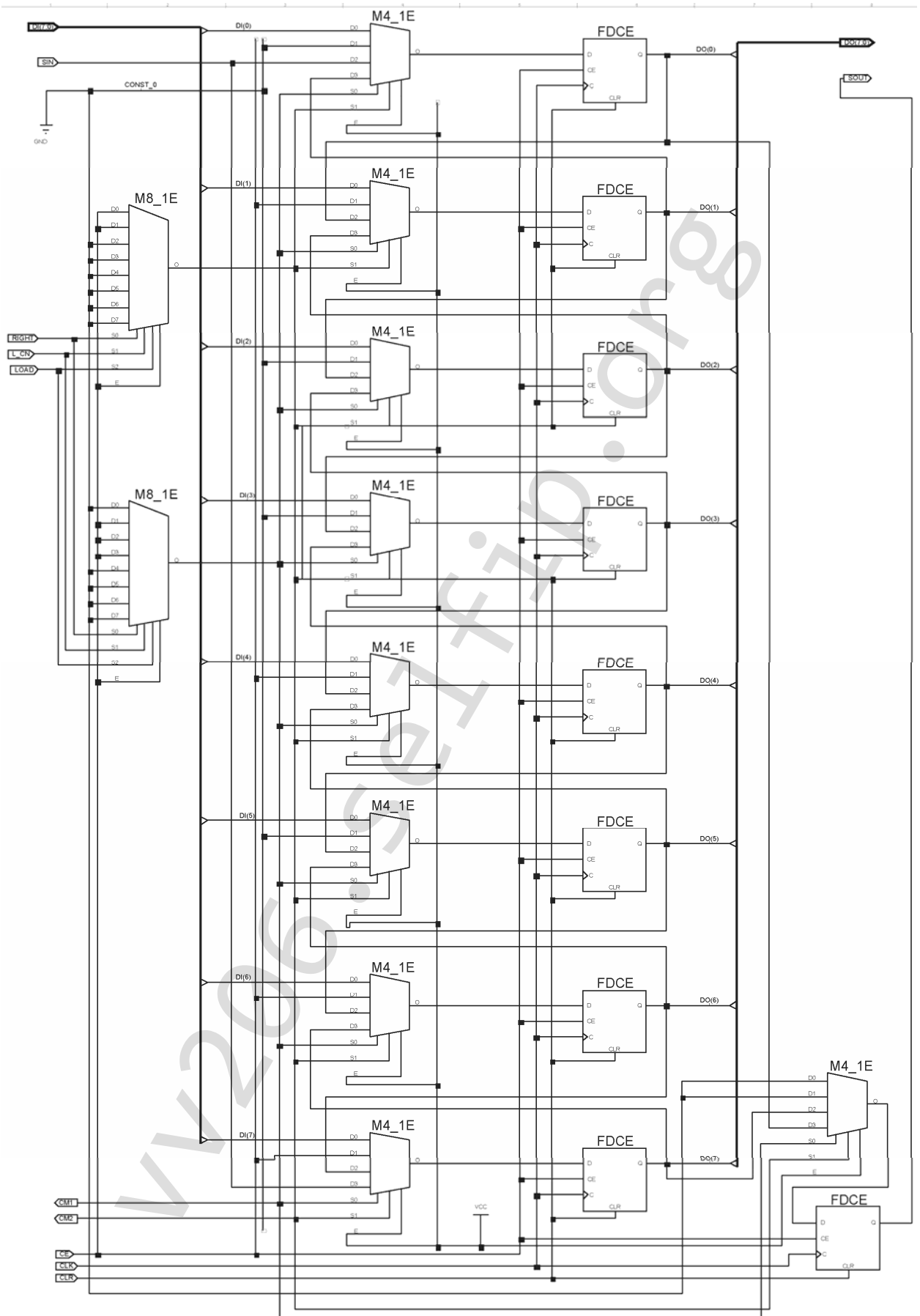


Рис. 5. Схема регистра

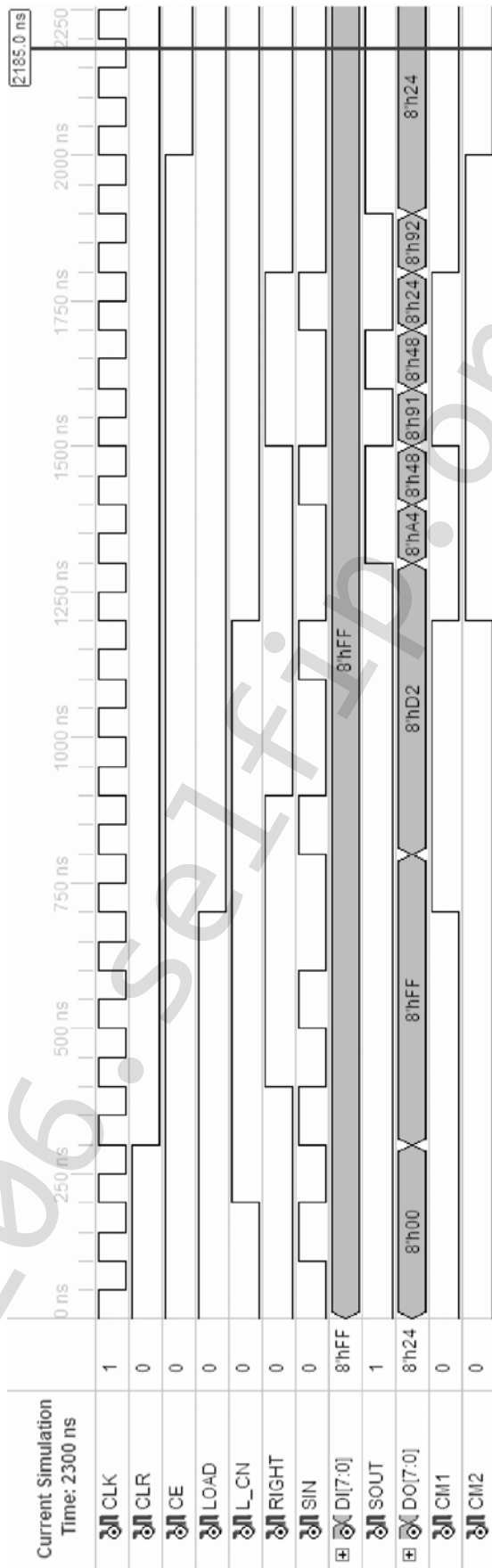


Рис. 6. Результат моделирования схемы, представленной на рис. 5

3. Вывод

В результате выполненной работы был разработан восьмиразрядный сдвиговый регистр с загрузкой. Управление происходит с помощью комбинационной схемы, построенной на мультиплексорах (в соответствии с таблицами 3,4).

Выбранный способ реализации позволяет легко изменить задаваемую на входах константу.

При создании временной диаграммы были рассмотрены все возможные случаи управляющих сигналов, что дает возможность проверить правильность работы регистра.