

ФЕДЕРАЛЬНОЕ АГЕНТСТВО ПО ОБРАЗОВАНИЮ

Государственное образовательное учреждение высшего профессионального образования

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ИНСТИТУТ
РАДИОТЕХНИКИ, ЭЛЕКТРОНИКИ И АВТОМАТИКИ
(ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)

Кафедра Вычислительной Техники

Лабораторный практикум
по дисциплине:
СХЕМОТЕХНИКА ЭВМ

Отчёт

По лабораторной работе №2:

Построение конечного автомата-генератора
заданной последовательности

| | |
|-----------|---|
| Задание № | 1 |
| Группа: | ВВ-6-06 |
| Студенты: | Никифоров А.П., Сабиров А.В., Рождественский К.С. |

Принял: инж. 1 кат. Борисенко Н.В. _____

Содержание

| | |
|--|----|
| 1. Постановка задачи и общие схемы..... | 2 |
| 2. Реализация автомата-генератора последовательности в САПР XILINX | |
| 2.1. Реализация автомата из счетчика и выходной комбинационной схемы..... | 4 |
| 2.2 Построение автомата на основе триггеров и табличных преобразователей...9 | |
| 3. Заключение..... | 13 |

1. Постановка задачи

В данной лабораторной работе требуется построить конечный автомат-генератор заданной последовательности, имеющий 2 входа (CLK(тактовый вход) и RST(вход сброса схемы в ноль)) и 8 выходов — 4 вывода $Y_O(3:0)$ и 4 вывода $A_O(3:0)$. Для каждого входного такта ставится соответствие некоторой выходной комбинации. После перебора выходных значений, заданных в таблице, схема сбрасывается в ноль и все повторяется. Задание выдаётся в виде таблицы (табл.1), в верхней строке которой перечисляются в порядке возрастания входные такты от «0» (0000) до «F» (1111), а в нижней строке приведены соответствующие им выходные комбинации.

В объёме работы поставленная задача решается 2-мя способами:

1) Строим счетчик на D триггерах, управлением которых занимается комбинационная схема, к выходам которого подключаем комбинационную схему, преобразующую выходные значения счетчика в нужные нам выходные сигналы. Для каждой из комбинационных схем строим ДНФ, таблицы истинности, карты Карно, формулы, логические схемы в базисе элементов И-НЕ (преобразованный И-ИЛИ)(рис. 1.) .

2) Строим реверсивный счетчик на D триггерах, работой которых управляют элементы памяти ROM16x1, соответствующих табличным преобразователям (LUT) в архитектуре FPGA. Выходные значения счетчика преобразуем в нужные нам комбинации с помощью элементов памяти ROM16x1 (табличные преобразователи (LUT) в архитектуре FPGA). Для каждого LUT составляем таблицы истинности, параметры INIT (рис. 2.).

Для каждой из построенных схем необходимо представить временную диаграмму работы, на которой в зависимости от номера такта будут видны выходные комбинации.

Табл. 1

| HEX | X ₃ | X ₂ | X ₁ | X ₀ | HEX | Y ₃ | Y ₂ | Y ₁ | Y ₀ |
|-----|----------------|----------------|----------------|----------------|-----|----------------|----------------|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 | 5 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | E | 1 | 1 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | A | 1 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 | 8 | 1 | 0 | 0 | 0 |
| 4 | 0 | 1 | 0 | 0 | F | 1 | 1 | 1 | 1 |
| 5 | 0 | 1 | 0 | 1 | A | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 7 | 0 | 1 | 1 | 1 | 4 | 0 | 1 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 7 | 0 | 1 | 1 | 1 |
| 9 | 1 | 0 | 0 | 1 | E | 1 | 1 | 1 | 0 |
| A | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| B | 1 | 0 | 1 | 1 | C | 1 | 1 | 0 | 0 |
| C | 1 | 1 | 0 | 0 | B | 1 | 0 | 1 | 1 |
| D | 1 | 1 | 0 | 1 | A | 1 | 0 | 1 | 0 |
| E | 1 | 1 | 1 | 0 | B | 1 | 0 | 1 | 1 |
| F | 1 | 1 | 1 | 1 | A | 1 | 0 | 1 | 0 |

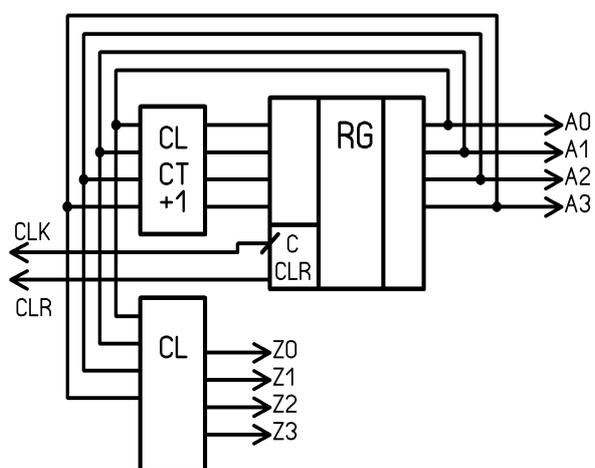


Рисунок 1 Структурная схема автомата (для пункта 1)

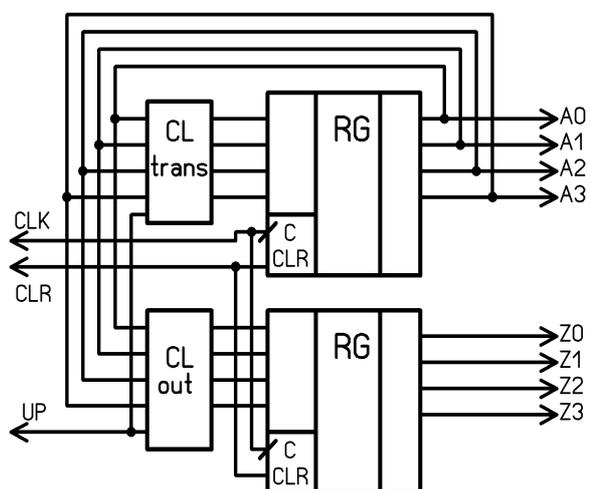


Рисунок 2 Структурная схема автомата (для пункта 2)

2. Реализация автомата-генератора последовательности

2.1 Реализация автомата из счетчика и выходной комбинационной схемы

Составим таблицу переходов для D триггеров счетчика(табл. 2), для каждого разряда комбинационной схемы строим ДНФ, таблицы истинности, карты Карно, формулы, логические схемы в базисе элементов И-НЕ (преобразованный И-ИЛИ).

Табл.2

| Текущее состояние | | | | | Следующее состояние | | | | |
|-------------------|----------------|----------------|----------------|-----|---------------------|----------------|----------------|----------------|-----|
| Q ₃ | Q ₂ | Q ₁ | Q ₀ | HEX | Z ₃ | Z ₂ | Z ₁ | Z ₀ | HEX |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 1 | 0 | 2 | 0 | 0 | 1 | 1 | 3 |
| 0 | 0 | 1 | 1 | 3 | 0 | 1 | 0 | 0 | 4 |
| 0 | 1 | 0 | 0 | 4 | 0 | 1 | 0 | 1 | 5 |
| 0 | 1 | 0 | 1 | 5 | 0 | 1 | 1 | 0 | 6 |
| 0 | 1 | 1 | 0 | 6 | 0 | 1 | 1 | 1 | 7 |
| 0 | 1 | 1 | 1 | 7 | 1 | 0 | 0 | 0 | 8 |
| 1 | 0 | 0 | 0 | 8 | 1 | 0 | 0 | 1 | 9 |
| 1 | 0 | 0 | 1 | 9 | 1 | 0 | 1 | 0 | A |
| 1 | 0 | 1 | 0 | A | 1 | 0 | 1 | 1 | B |
| 1 | 0 | 1 | 1 | B | 1 | 1 | 0 | 0 | C |
| 1 | 1 | 0 | 0 | C | 1 | 1 | 0 | 1 | D |
| 1 | 1 | 0 | 1 | D | 1 | 1 | 1 | 0 | E |
| 1 | 1 | 1 | 0 | E | 1 | 1 | 1 | 1 | F |
| 1 | 1 | 1 | 1 | F | 0 | 0 | 0 | 0 | 0 |

Составим карты Карно. По ним составим ДНФ уравнения и минимизируем их для каждого из выходов.

Выход A0

| $X_3X_2 \backslash X_1X_0$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 1 | 0 | 0 | 1 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 0 | 1 |

$$A_0 = \overline{\overline{\overline{X_0}}} = \overline{X_0}$$

Выход A1

| $X_3X_2 \backslash X_1X_0$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 0 | 1 | 0 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 0 | 1 | 0 | 1 |
| 10 | 0 | 1 | 0 | 1 |

$$A_1 = \overline{\overline{\overline{\overline{X_1 X_0}}}} \vee \overline{\overline{\overline{\overline{X_1 X_0}}}} = \overline{\overline{X_1 X_0}} \wedge \overline{\overline{X_1 X_0}}$$

Выход A2

| $X_3X_2 \backslash X_1X_0$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | 1 | 1 | 0 | 1 |
| 10 | 0 | 0 | 1 | 0 |

$$A_2 = \overline{\overline{\overline{\overline{X_2 X_0}}}} \vee \overline{\overline{\overline{\overline{X_2 X_1}}}} \vee \overline{\overline{\overline{\overline{X_2 X_1 X_0}}}} = \overline{\overline{X_2 X_0}} \wedge \overline{\overline{X_2 X_1}} \wedge \overline{\overline{X_2 X_1 X_0}}$$

Выход A3

| $X_3X_2 \backslash X_1X_0$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 0 | 1 | 0 |
| 11 | 1 | 1 | 0 | 1 |
| 10 | 1 | 1 | 1 | 1 |

$$A_3 = \overline{\overline{\overline{\overline{\overline{\overline{X_3 X_2 X_1 X_0}}}}}} \vee \overline{\overline{\overline{\overline{\overline{\overline{X_3 X_0}}}}}} \vee \overline{\overline{\overline{\overline{\overline{\overline{X_3 X_1}}}}}} \vee \overline{\overline{\overline{\overline{\overline{\overline{X_3 X_2}}}}}} = \overline{\overline{\overline{\overline{\overline{\overline{X_3 X_2 X_1 X_0}}}}}} \wedge \overline{\overline{\overline{\overline{\overline{\overline{X_3 X_0}}}}}} \wedge \overline{\overline{\overline{\overline{\overline{\overline{X_3 X_1}}}}}} \wedge \overline{\overline{\overline{\overline{\overline{\overline{X_3 X_2}}}}}}$$

По (табл. 1) составляем карты Карно. По ним составим ДНФ уравнения и минимизируем их для каждого из выходов.

Выход Y0

| $X_3X_2 \backslash X_1X_0$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 1 | 0 | 0 | 0 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 0 | 0 |

$$Y_0 = (\overline{X_1 X_0}) \vee (\overline{X_0 X_2}) = (\overline{X_1 X_0}) \wedge (\overline{X_0 X_2})$$

Выход Y1

| $X_3X_2 \backslash X_1X_0$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 0 | 1 | 0 | 1 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 1 | 0 | 0 |

$$Y_1 = (\overline{X_3 X_2 X_1 X_0}) \vee (\overline{X_1 X_0}) \vee (\overline{X_2 X_1}) \vee (\overline{X_3 X_1}) \vee (\overline{X_3 X_2})$$

$$Y_1 = (\overline{X_3 X_2 X_1 X_0}) \wedge (\overline{X_1 X_0}) \wedge (\overline{X_2 X_1}) \wedge (\overline{X_3 X_1}) \wedge (\overline{X_3 X_2})$$

Выход Y2

| $X_3X_2 \backslash X_1X_0$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 1 | 1 | 0 | 0 |
| 01 | 1 | 0 | 1 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 1 | 1 | 0 |

$$Y_2 = (\overline{X_0 X_1 X_2 X_3}) \vee (\overline{X_1 X_2}) \vee (\overline{X_0 X_1 X_3}) \vee (\overline{X_3 X_2 X_0})$$

$$Y_2 = (\overline{X_0 X_1 X_2 X_3}) \wedge (\overline{X_1 X_2}) \wedge (\overline{X_0 X_1 X_3}) \wedge (\overline{X_3 X_2 X_0})$$

Выход Y3

| $X_3X_2 \backslash X_1X_0$ | 00 | 01 | 11 | 10 |
|----------------------------|----|----|----|----|
| 00 | 0 | 1 | 1 | 1 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 0 | 1 | 1 | 0 |

$$Y_3 = (\overline{X_2 X_0}) \vee (\overline{X_3 X_2 X_1}) \vee (\overline{X_2 X_1}) \vee (\overline{X_3 X_2}) = (\overline{X_2 X_0}) \wedge (\overline{X_3 X_2 X_1}) \wedge (\overline{X_2 X_1}) \wedge (\overline{X_3 X_2})$$

По полученным уравнениям строим счетчик и выходную комбинационную схему(рис. 3.) :

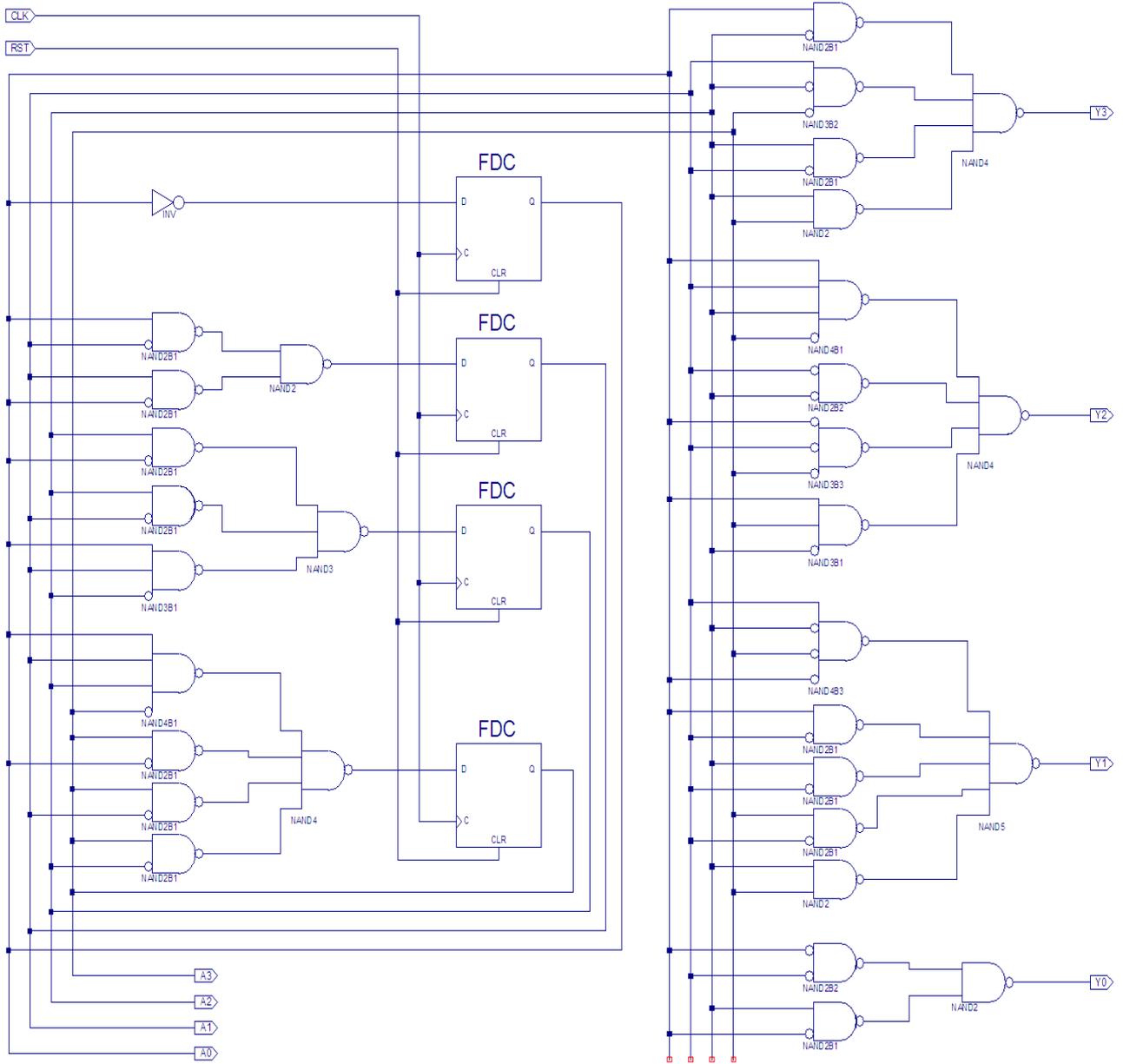


Рисунок 3 Схема автомата на счетчике и выходной комбинационной логике

Результат моделирования схемы представлен на рис.4.

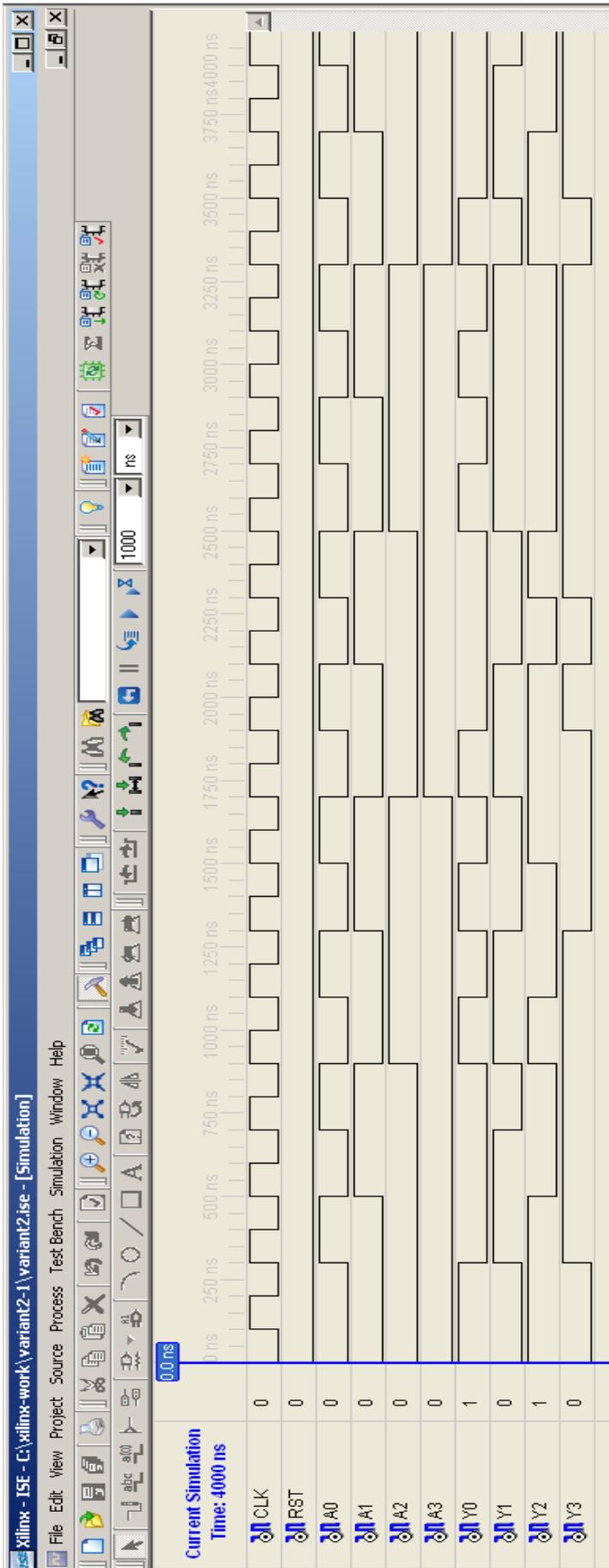


Рисунок 4 Результат моделирования схемы, представленной на рис. 3

2.2 Построение автомата на основе триггеров и табличных преобразователей.

Для построения нам нужно составить таблицы переходов для выходных сигналов(табл. 3.) и таблицу переходов для реверсивного счетчика(табл. 4.).

Табл. 3

| Up | Текущее состояние | | | | | Следующее состояние | | | | | INIT | INIT | INIT | INIT |
|----|-------------------|----------------|----------------|----------------|-----|---------------------|----------------|----------------|----------------|-----|----------------|----------------|----------------|----------------|
| | Q ₃ | Q ₂ | Q ₁ | Q ₀ | HEX | Z ₃ | Z ₂ | Z ₁ | Z ₀ | HEX | N ₃ | N ₂ | N ₁ | N ₀ |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | A | D | 6 | D | 2 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 5 | | | | |
| 0 | 0 | 0 | 1 | 0 | 2 | 1 | 1 | 1 | 0 | E | | | | |
| 0 | 0 | 0 | 1 | 1 | 3 | 1 | 0 | 1 | 0 | A | | | | |
| 0 | 0 | 1 | 0 | 0 | 4 | 1 | 0 | 0 | 0 | 8 | 7 | 2 | 6 | A |
| 0 | 0 | 1 | 0 | 1 | 5 | 1 | 1 | 1 | 1 | F | | | | |
| 0 | 0 | 1 | 1 | 0 | 6 | 1 | 0 | 1 | 0 | A | | | | |
| 0 | 0 | 1 | 1 | 1 | 7 | 0 | 0 | 0 | 1 | 1 | | | | |
| 0 | 1 | 0 | 0 | 0 | 8 | 0 | 1 | 0 | 0 | 4 | 4 | 7 | 6 | 2 |
| 0 | 1 | 0 | 0 | 1 | 9 | 0 | 1 | 1 | 1 | 7 | | | | |
| 0 | 1 | 0 | 1 | 0 | A | 1 | 1 | 1 | 0 | E | | | | |
| 0 | 1 | 0 | 1 | 1 | B | 0 | 0 | 0 | 0 | 0 | | | | |
| 0 | 1 | 1 | 0 | 0 | C | 1 | 1 | 0 | 0 | C | F | 1 | E | A |
| 0 | 1 | 1 | 0 | 1 | D | 1 | 0 | 1 | 1 | B | | | | |
| 0 | 1 | 1 | 1 | 0 | E | 1 | 0 | 1 | 0 | A | | | | |
| 0 | 1 | 1 | 1 | 1 | F | 1 | 0 | 1 | 1 | B | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | E | F | 9 | B | 8 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | A | | | | |
| 1 | 0 | 0 | 1 | 0 | 2 | 1 | 0 | 0 | 0 | 8 | | | | |
| 1 | 0 | 0 | 1 | 1 | 3 | 1 | 1 | 1 | 1 | F | | | | |
| 1 | 0 | 1 | 0 | 0 | 4 | 1 | 0 | 1 | 0 | A | 1 | C | 9 | A |
| 1 | 0 | 1 | 0 | 1 | 5 | 0 | 0 | 0 | 1 | 1 | | | | |
| 1 | 0 | 1 | 1 | 0 | 6 | 0 | 1 | 0 | 0 | 4 | | | | |
| 1 | 0 | 1 | 1 | 1 | 7 | 0 | 1 | 1 | 1 | 7 | | | | |
| 1 | 1 | 0 | 0 | 0 | 8 | 1 | 1 | 1 | 0 | E | D | 5 | 9 | 8 |
| 1 | 1 | 0 | 0 | 1 | 9 | 0 | 0 | 0 | 0 | 0 | | | | |
| 1 | 1 | 0 | 1 | 0 | A | 1 | 1 | 0 | 0 | C | | | | |
| 1 | 1 | 0 | 1 | 1 | B | 1 | 0 | 1 | 1 | B | | | | |
| 1 | 1 | 1 | 0 | 0 | C | 1 | 0 | 1 | 0 | A | 7 | 8 | 7 | A |
| 1 | 1 | 1 | 0 | 1 | D | 1 | 0 | 1 | 1 | B | | | | |
| 1 | 1 | 1 | 1 | 0 | E | 1 | 0 | 1 | 0 | A | | | | |
| 1 | 1 | 1 | 1 | 1 | F | 0 | 1 | 0 | 1 | 5 | | | | |

Табл. 4

| Up | Текущее состояние | | | | | Следующее состояние | | | | | INIT | INIT | INIT | INIT |
|----|-------------------|----------------|----------------|----------------|-----|---------------------|----------------|----------------|----------------|-----|----------------|----------------|----------------|----------------|
| | Q ₃ | Q ₂ | Q ₁ | Q ₀ | HEX | Z ₃ | Z ₂ | Z ₁ | Z ₀ | HEX | N ₃ | N ₂ | N ₁ | N ₀ |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | F | 1 | 1 | 9 | 5 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | | | | |
| 0 | 0 | 0 | 1 | 0 | 2 | 0 | 0 | 0 | 1 | 1 | | | | |
| 0 | 0 | 0 | 1 | 1 | 3 | 0 | 0 | 1 | 0 | 2 | | | | |
| 0 | 0 | 1 | 0 | 0 | 4 | 0 | 0 | 1 | 1 | 3 | 0 | E | 9 | 5 |
| 0 | 0 | 1 | 0 | 1 | 5 | 0 | 1 | 0 | 0 | 4 | | | | |
| 0 | 0 | 1 | 1 | 0 | 6 | 0 | 1 | 0 | 1 | 5 | | | | |
| 0 | 0 | 1 | 1 | 1 | 7 | 0 | 1 | 1 | 0 | 6 | | | | |
| 0 | 1 | 0 | 0 | 0 | 8 | 0 | 1 | 1 | 1 | 7 | E | 1 | 9 | 5 |
| 0 | 1 | 0 | 0 | 1 | 9 | 1 | 0 | 0 | 0 | 8 | | | | |
| 0 | 1 | 0 | 1 | 0 | A | 1 | 0 | 0 | 1 | 9 | | | | |
| 0 | 1 | 0 | 1 | 1 | B | 1 | 0 | 1 | 0 | A | | | | |
| 0 | 1 | 1 | 0 | 0 | C | 1 | 0 | 1 | 1 | B | F | E | 9 | 5 |
| 0 | 1 | 1 | 0 | 1 | D | 1 | 1 | 0 | 0 | C | | | | |
| 0 | 1 | 1 | 1 | 0 | E | 1 | 1 | 0 | 1 | D | | | | |
| 0 | 1 | 1 | 1 | 1 | F | 1 | 1 | 1 | 0 | E | | | | |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 8 | 6 | 5 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 2 | | | | |
| 1 | 0 | 0 | 1 | 0 | 2 | 0 | 0 | 1 | 1 | 3 | | | | |
| 1 | 0 | 0 | 1 | 1 | 3 | 0 | 1 | 0 | 0 | 4 | | | | |
| 1 | 0 | 1 | 0 | 0 | 4 | 0 | 1 | 0 | 1 | 5 | 8 | 7 | 6 | 5 |
| 1 | 0 | 1 | 0 | 1 | 5 | 0 | 1 | 1 | 0 | 6 | | | | |
| 1 | 0 | 1 | 1 | 0 | 6 | 0 | 1 | 1 | 1 | 7 | | | | |
| 1 | 0 | 1 | 1 | 1 | 7 | 1 | 0 | 0 | 0 | 8 | | | | |
| 1 | 1 | 0 | 0 | 0 | 8 | 1 | 0 | 0 | 1 | 9 | F | 8 | 6 | 5 |
| 1 | 1 | 0 | 0 | 1 | 9 | 1 | 0 | 1 | 0 | A | | | | |
| 1 | 1 | 0 | 1 | 0 | A | 1 | 0 | 1 | 1 | B | | | | |
| 1 | 1 | 0 | 1 | 1 | B | 1 | 1 | 0 | 0 | C | | | | |
| 1 | 1 | 1 | 0 | 0 | C | 1 | 1 | 0 | 1 | D | 7 | 7 | 6 | 5 |
| 1 | 1 | 1 | 0 | 1 | D | 1 | 1 | 1 | 0 | E | | | | |
| 1 | 1 | 1 | 1 | 0 | E | 1 | 1 | 1 | 1 | F | | | | |
| 1 | 1 | 1 | 1 | 1 | F | 0 | 0 | 0 | 0 | 0 | | | | |

По полученным значениям INIT строим схему (рис. 5):

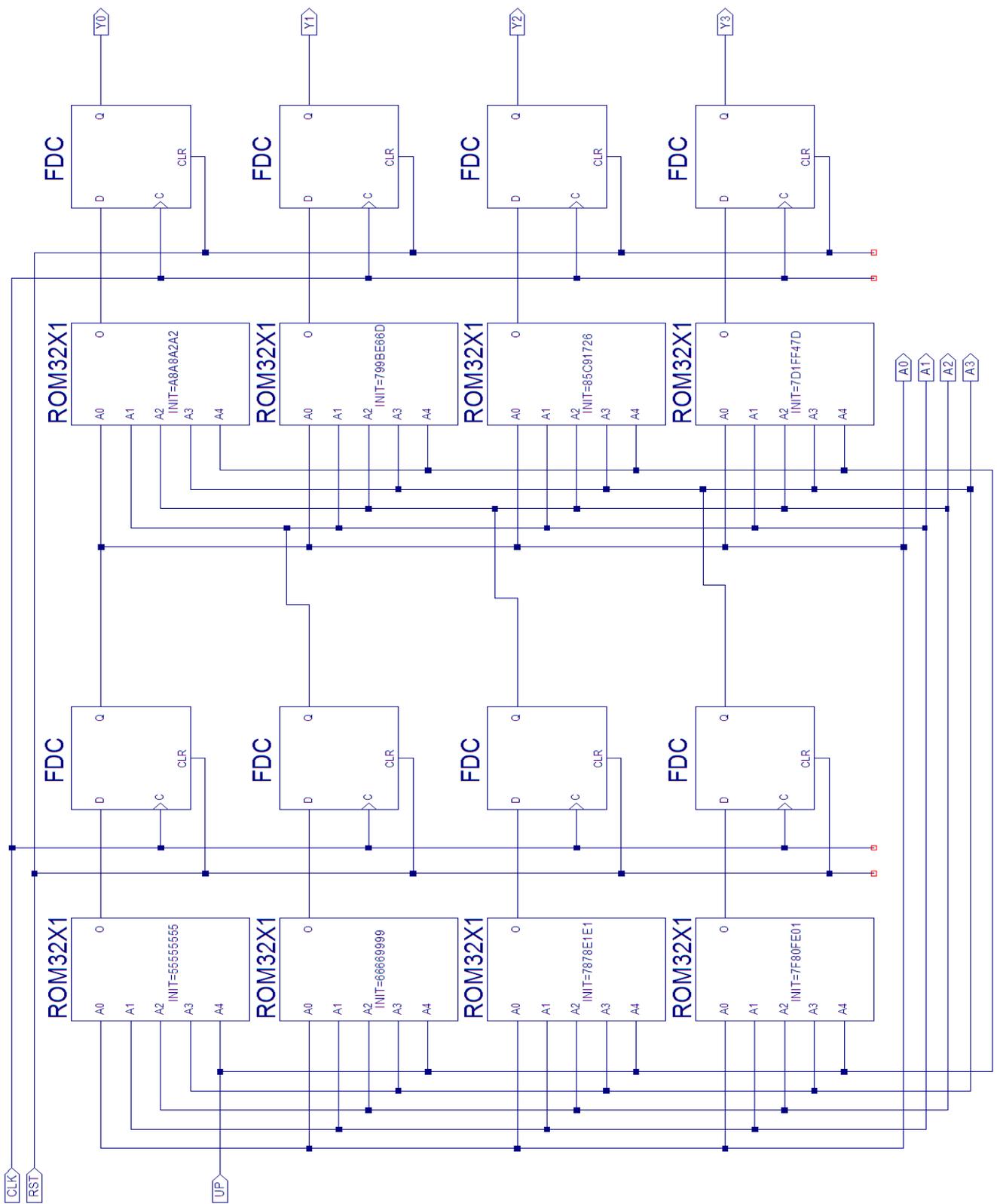


Рисунок 5 Схема автомата, основанного на табличных преобразователях

Результат моделирования представлен на рис.6

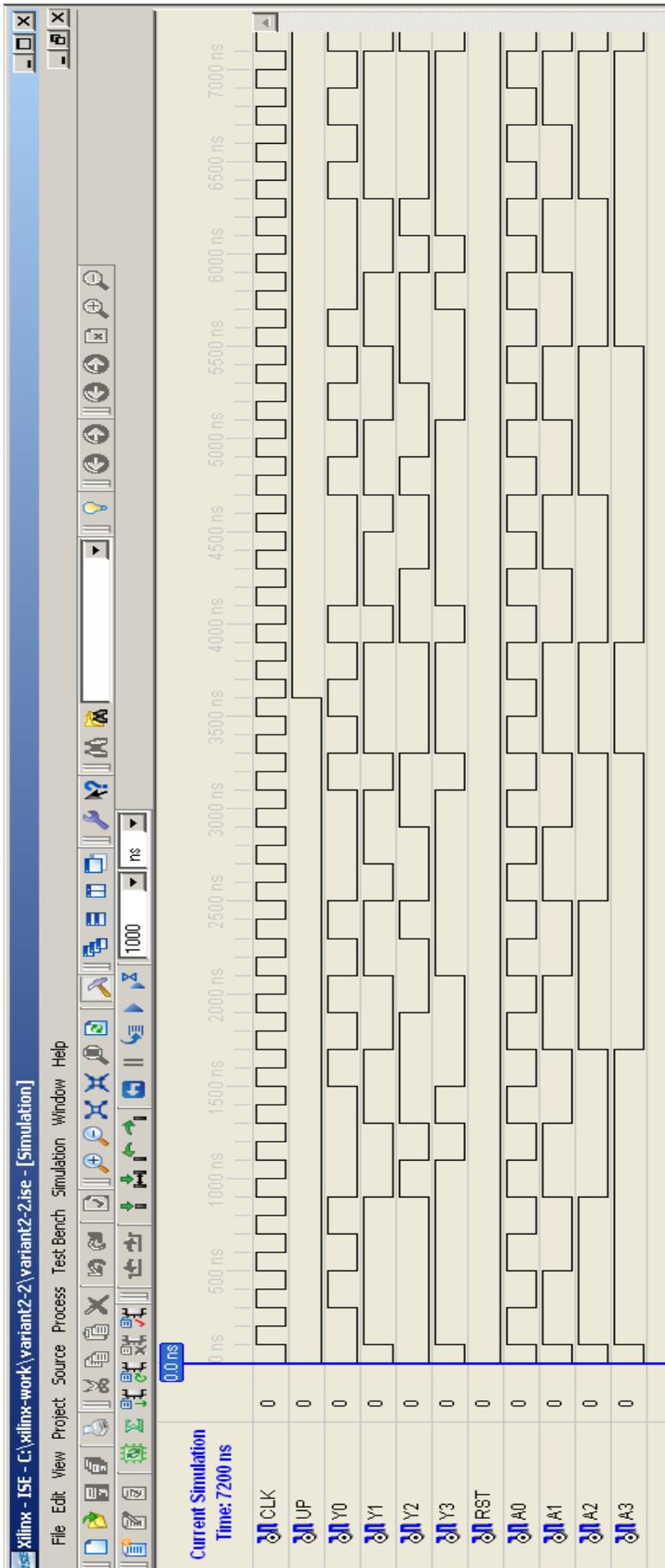


Рисунок 6 Результат моделирования схемы, представленной на рис. 5

3. Заключение о выполненной работе

Задача данной работы состояла в том, чтобы создать схему автомата-генератора последовательности, который преобразует одну комбинацию входных сигналов в другую в соответствии с заданной таблицей (см. табл.1) .

Работа выполнена следующими методами:

- 1) используются ДНФ уравнения (см. рисунок 4, 3);
- 2) используются табличные преобразователи ПЛИС FPGA ROM 32X1 (см. рисунок 6, 5);

В данной лабораторной работе мы видим, что реализация на табличных преобразователях более удобная, чем реализация на ДНФ, схема более компактная и понятная, может быть легко перепрограммирована на другие выходные комбинации.

Смотря на полученные временные диаграммы, мы видим, что схемы были реализованы верно.