

ФЕДЕРАЛЬНОЕ АГЕНТСТВО ПО ОБРАЗОВАНИЮ
Государственное образовательное учреждение высшего профессионального образования

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ИНСТИТУТ
РАДИОТЕХНИКИ, ЭЛЕКТРОНИКИ И АВТОМАТИКИ
(ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)

Кафедра Вычислительной Техники

Лабораторный практикум
по дисциплине:
СХЕМОТЕХНИКА ЭВМ

Отчёт

по лабораторной работе №2:

Построение конечного автомата-генератора
последовательности

Задание №
Группа:
Студенты:

16
ВВ-2-06
Красняков А.М.,
Котомин И.С.
Шигаль Е.А.

Принял:

инж. 1 кат., ассистент Борисенко Н.В. _____

Москва 2008

Оглавление

1. Постановка задачи.....	3
2. Реализация конечного автомата.....	4
2.1. Синтез автомата на основе счетчика и выходной комбинационной схемы.....	4
2.2. Синтез автомата на основе табличных преобразователей и триггеров.....	6
3. Заключение.....	9

v206.seifip.org

1. Постановка задачи

Целью данной лабораторной работы является построение конечного автомата-генератора заданной последовательности, имеющего тактовый (CLK) вход и вход сброса (RST), а также 8 выходов — Y_O(3:0) (выходы генератора) и Q_O(3:0) (выходы счетчика). Последовательности входных тактов ставится в соответствие некоторая выходная комбинация. После перебора последовательности выходных значений, схема сбрасывается в ноль, и начинается новый цикл работы.

Последовательность задана в виде таблицы (табл. 1.1), в которой задано соответствие номера входного такта и выдаваемой автоматом выходной комбинации.

Поставленную задачу необходимо решить двумя способами:

1. Построением четырехразрядного счетчика на элементах памяти ROM 16x1 и D-триггерах, к выходу которого подключается комбинационная логическая схема, осуществляющая преобразование выходного номера последовательности в соответствующее ему значение.
2. Построением реверсивного счетчика на D-триггерах, управляемого элементами памяти ROM 32x1. Выходные значения счетчика также преобразуются в выходные комбинации элементами ROM 32x1.

Для каждой из схем необходимо построить временную диаграмму работы.

X	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
Q	0	4	8	C	1	5	9	D	2	6	A	E	3	7	B	F

Табл. 1.1. Переходы между состояниями автомата

2. Реализация конечного автомата

2.1. Синтез автомата на основе счетчика и выходной комбинационной схемы

Структурная схема автомата, построенного по этому методу, приведена на рис. 2.1.1.

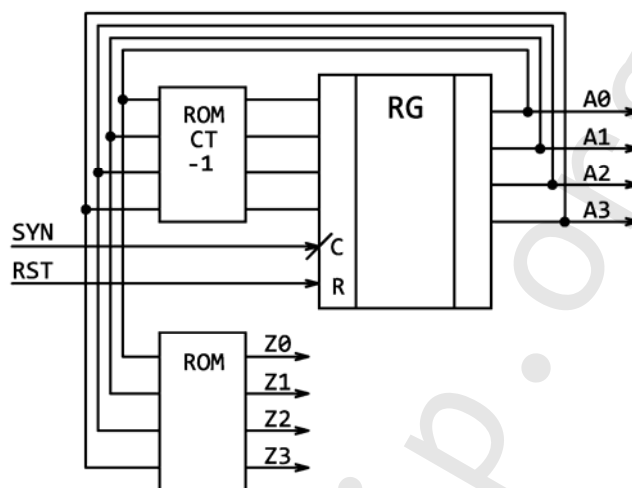


Рис. 2.1.1. Структурная схема автомата

Сначала составляем цикл переходов для четырехразрядного последовательного вычитающего счетчика и по нему выписываем значения INIT для элементов ROM, составляющих счетчик.

Текущее состояние					Следующее состояние					INIT			
HEX	Q3	Q2	Q1	Q0	HEX	NQ3	NQ2	NQ1	NQ0	3	2	1	0
0	0	0	0	0	F	1	1	1	1				
1	0	0	0	1	0	0	0	0	0	1	1	9	5
2	0	0	1	0	1	0	0	0	1				
3	0	0	1	1	2	0	0	1	0				
4	0	1	0	0	3	0	0	1	1				
5	0	1	0	1	4	0	1	0	0	0	E	9	5
6	0	1	1	0	5	0	1	0	1				
7	0	1	1	1	6	0	1	1	0				
8	1	0	0	0	7	0	1	1	1				
9	1	0	0	1	8	1	0	0	0	E	1	9	5
A	1	0	1	0	9	1	0	0	1				
B	1	0	1	1	A	1	0	1	0				
C	1	1	0	0	B	1	0	1	1				
D	1	1	0	1	C	1	1	0	0	F	E	9	5
E	1	1	1	0	D	1	1	0	1				
F	1	1	1	1	E	1	1	1	0				

Табл. 2.1.1. Таблица переходов счетчика

Полученную последовательность подаем на схему, реализующую заданную функцию переходов автомата на основе элементов ROM16x1. Синтез этой схемы приведен в отчете по лабораторной работе 1.

Полученная комбинационная схема приведена на рис. 2.1.2.

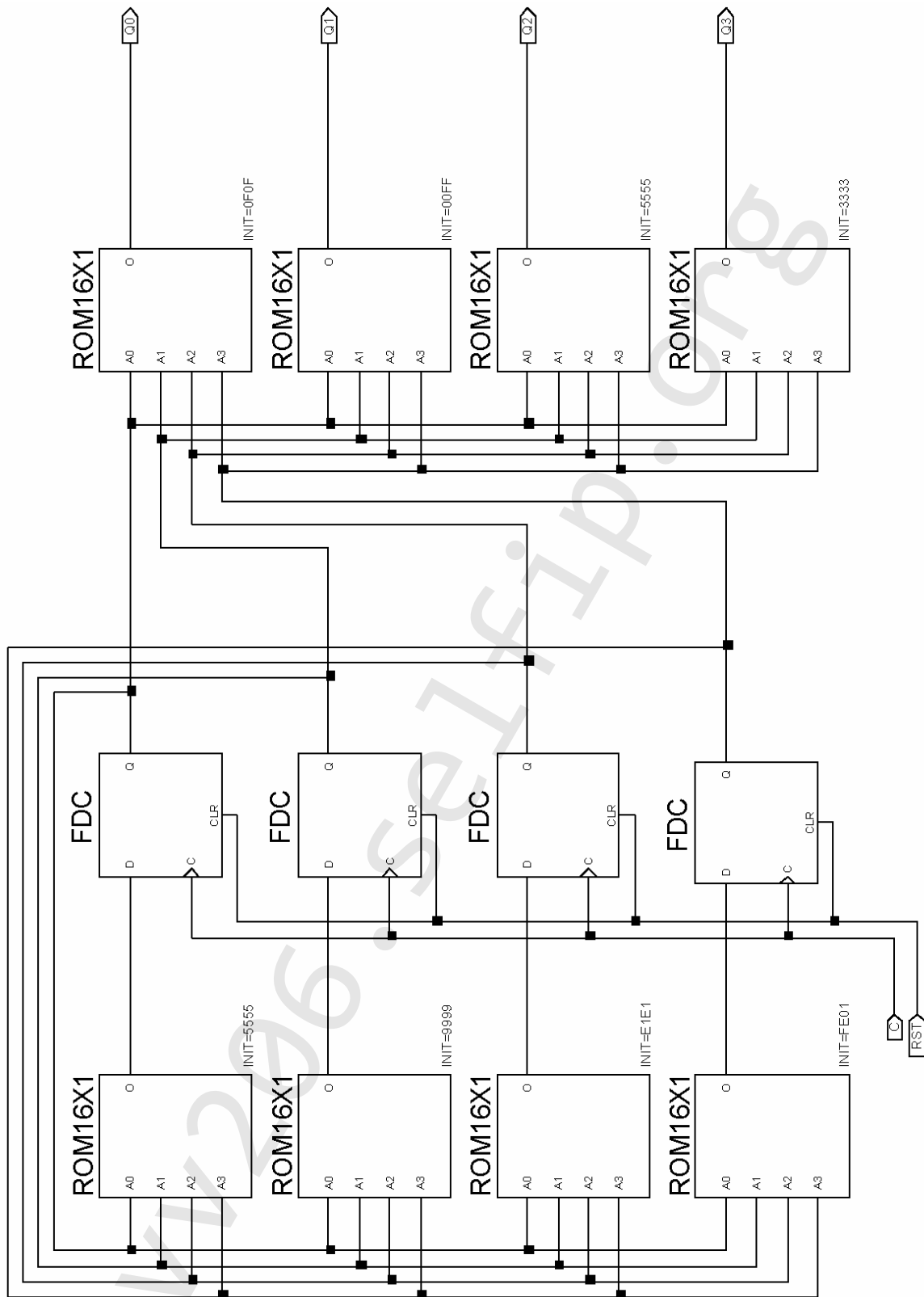


Рис. 2.1.2. Структурная схема автомата

Результаты моделирования схемы приведены на рис. 2.1.3.

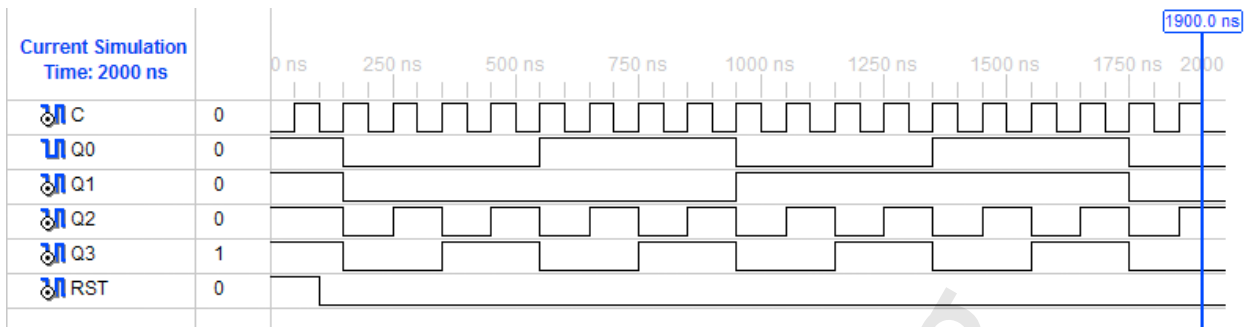


Рис. 2.1.3. Моделирование схемы

2.2. Синтез автомата на основе табличных преобразователей и триггеров

Для реализации автомата на основе табличных преобразователей, необходимо составить таблицу переходов для выходных сигналов и состояний реверсивного счетчика.

UP	Переходы										Выходы												
	Текущее состояние					Следующее состояние					INIT				Состояние				INIT				
	HEX	Q3	Q2	Q1	Q0	HEX	Q3	Q2	Q1	Q0	3	2	1	0	HEX	Y3	Y2	Y1	Y0	3	2	1	0
0	0	0	0	0	0	F	1	1	1	1					0	0	0	0	0				
0	1	0	0	0	1	0	0	0	0	0	1	1	9	5	F	1	1	1	1	6	A	E	E
0	2	0	0	1	0	1	0	0	0	1					B	1	0	1	1				
0	3	0	0	1	1	2	0	0	1	0					7	0	1	1	1				
0	4	0	1	0	0	3	0	0	1	1					3	0	0	1	1				
0	5	0	1	0	1	4	0	1	0	0	0	E	9	5	E	1	1	1	0	6	A	F	1
0	6	0	1	1	0	5	0	1	0	1					A	1	0	1	0				
0	7	0	1	1	1	6	0	1	1	0					6	0	1	1	0				
0	8	1	0	0	0	7	0	1	1	1					2	0	0	1	0				
0	9	1	0	0	1	8	1	0	0	0	E	1	9	5	D	1	1	0	1	6	A	1	E
0	A	1	0	1	0	9	1	0	0	1					9	1	0	0	1				
0	B	1	0	1	1	A	1	0	1	0					5	0	1	0	1				
0	C	1	1	0	0	B	1	0	1	1	F	E	9	5	1	0	0	0	1	6	A	0	1
0	D	1	1	0	1	C	1	1	0	0					C	1	1	0	0				
0	E	1	1	1	0	D	1	1	0	1					8	1	0	0	0				
0	F	1	1	1	1	E	1	1	1	0					4	0	1	0	0				
1	0	0	0	0	0	1	0	0	0	1					B	1	0	1	1				
1	1	0	0	0	1	2	0	0	1	0	0	8	6	5	7	0	1	1	1	9	A	F	7
1	2	0	0	1	0	3	0	0	1	1					3	0	0	1	1				
1	3	0	0	1	1	4	0	1	0	0					E	1	1	1	0				
1	4	0	1	0	0	5	0	1	0	1	8	7	6	5	A	1	0	1	0	9	A	7	8
1	5	0	1	0	1	6	0	1	1	0					6	0	1	1	0				
1	6	0	1	1	0	7	0	1	1	1					2	0	0	1	0				
1	7	0	1	1	1	8	1	0	0	0					D	1	1	0	1				
1	8	1	0	0	0	9	1	0	0	1	F	8	6	5	9	1	0	0	1	9	A	0	7
1	9	1	0	0	1	A	1	0	1	0					5	0	1	0	1				
1	A	1	0	1	0	B	1	0	1	1					1	0	0	0	1				
1	B	1	0	1	1	C	1	1	0	0					C	1	1	0	0				
1	C	1	1	0	0	D	1	1	0	1	7	7	6	5	8	1	0	0	0	9	A	8	8
1	D	1	1	0	1	E	1	1	1	0					4	0	1	0	0				
1	E	1	1	1	0	F	1	1	1	1					0	0	0	0	0				
1	F	1	1	1	1	0	0	0	0	0					F	1	1	1	1				

Табл. 2.2.1. Таблица переходов

Структурная схема автомата, построенного этим способом, приведена на рис. 2.2.1.

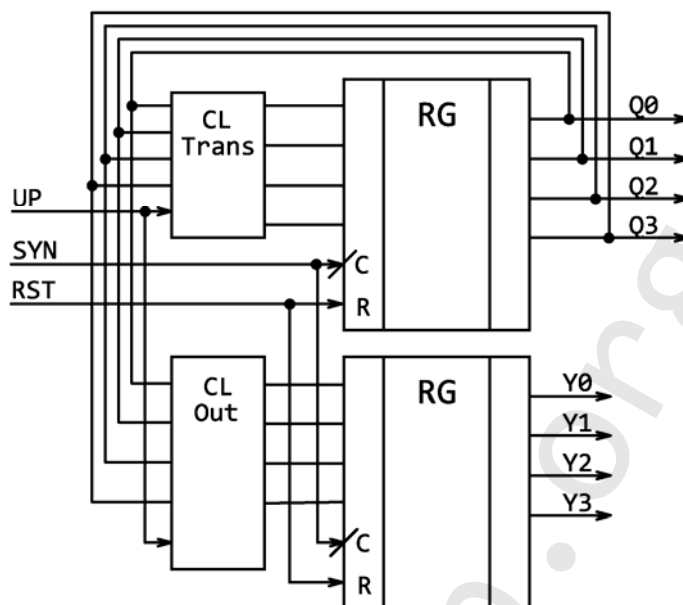


Рис. 2.2.1. Структурная схема автомата

Вход UP используется для выбора направления счёта. 1 на входе UP соответствует инкрементированию, 0 – декрементированию.

Итоговая схема автомата и результаты ее симуляции приведены на рис. 2.2.2 и 2.2.3, соответственно.

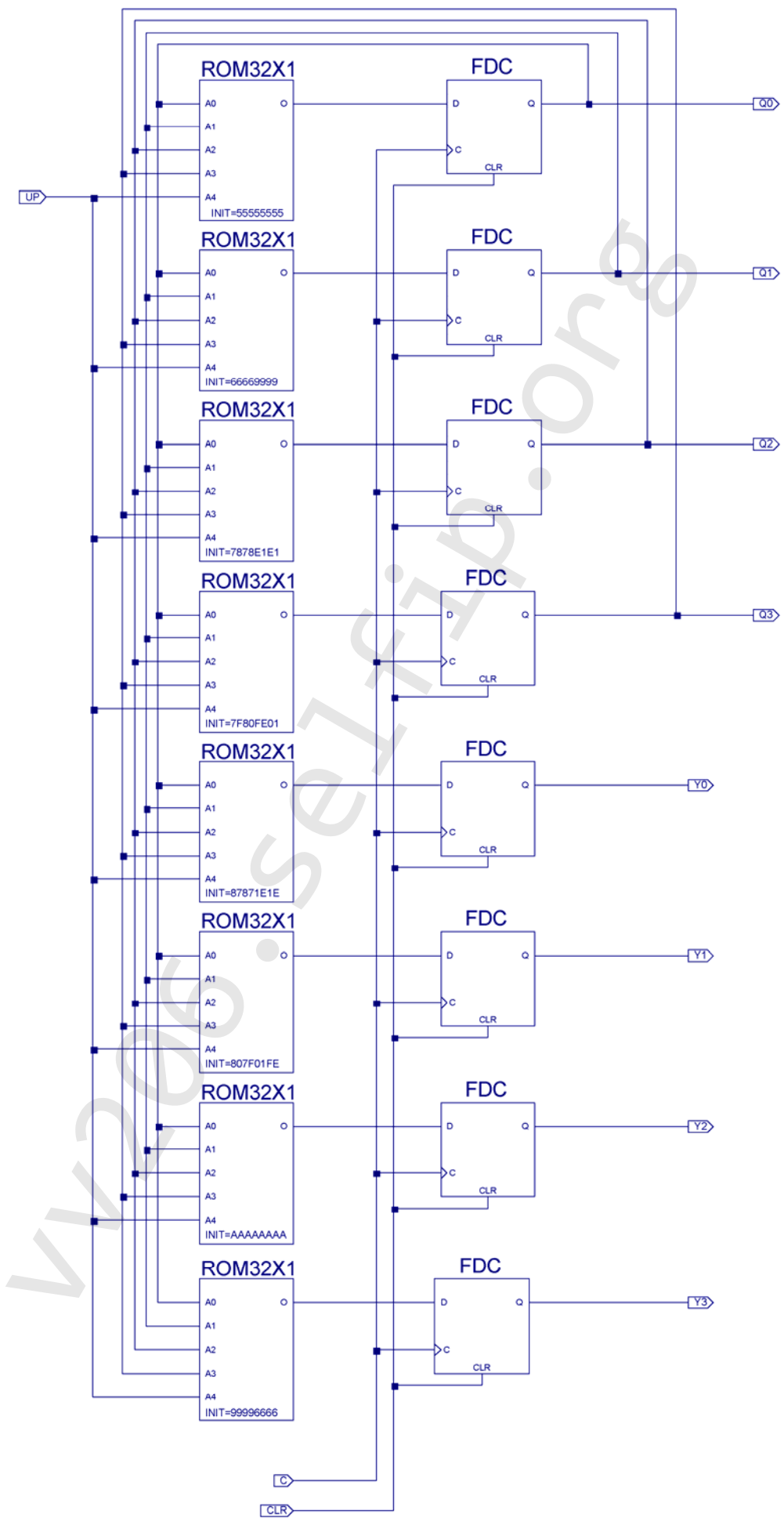


Рис. 2.2.2. Реализация автомата на ROM

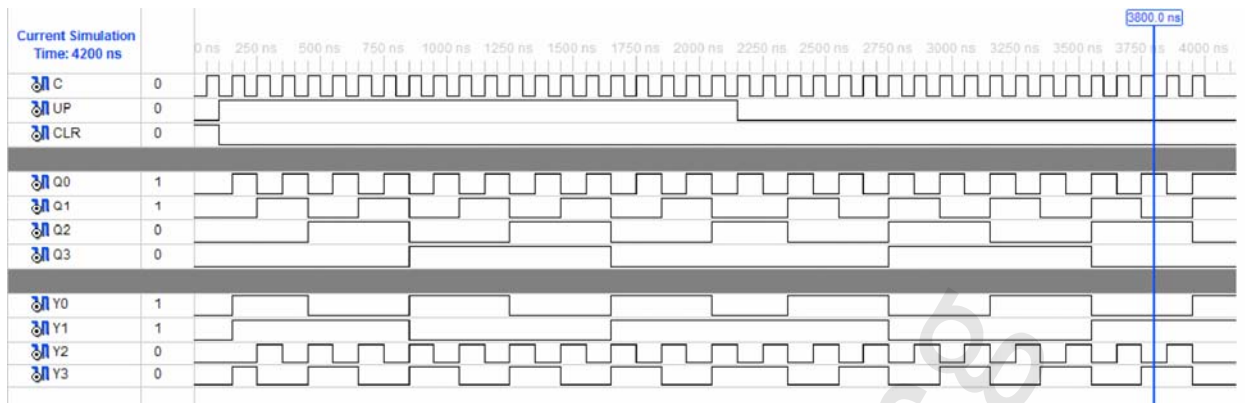


Рис. 2.2.3. Результаты симуляции автомата

3. Заключение

В ходе выполнения работы была проведена реализация заданного автомата-генератора последовательности двумя способами:

1. Подключение вычитающего счётчика, построенного на элементах памяти ROMx16 и D-триггерах, ко входу комбинационной схемы.
2. Построение реверсивного счётчика на элементах памяти ROMx32 и D-триггерах, подключаемого ко входу комбинационной схемы, с выводом выходных значений и их номеров.

Результаты моделирования схем показывают корректность реализации в обоих случаях.

Второй способ реализации более затратен (из-за использования элементов памяти ROMx32), но позволяет производить перебор элементов последовательности в обе стороны.