

ФЕДЕРАЛЬНОЕ АГЕНТСТВО ПО ОБРАЗОВАНИЮ
Государственное образовательное учреждение высшего профессионального образования

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ИНСТИТУТ
РАДИОТЕХНИКИ, ЭЛЕКТРОНИКИ И АВТОМАТИКИ
(ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)

Кафедра Вычислительной Техники

Лабораторный практикум
по дисциплине:
СХЕМОТЕХНИКА ЭВМ

Отчёт

По лабораторной работе №1:
Построение и логическая верификация
комбинационных схем

Задание №
Группа:
Студенты:

16
ВВ-2-06
Студент №1,
Студент №2.

Принял:

инж. 1 кат., ассистент Борисенко Н.В. _____

Москва 2008

Содержание

1. Постановка задачи.....	3
2. Решение задачи.....	4
2.1 СДНФ.....	5
2.2 СКНФ.....	7
2.3 LUT-преобразователь.....	9
3. Вывод.....	10

1. Постановка задачи

Требуется построить комбинационный логический узел, имеющий 4 входа $X(0,3)$ и 4 выхода $Q(0,3)$. Каждой входной комбинации ставится в соответствие некоторая выходная комбинация.

Работа узла задана в виде таблицы, в верхней строке которой перечисляются входные комбинации от «0» (0000) до «F» (1111), а в нижней строке приведены соответствующие им выходные комбинации (табл. 1.1).

В объёме работы поставленную задачу требуется решить 3-мя способами:

1. Представить функцию в виде ДНФ (базис элементов И-НЕ);
2. Представить функцию в виде КНФ (базис ИЛИ-НЕ);
3. Задать функцию на элементах памяти ROM16x1, соответствующих табличным преобразователям LUT в архитектуре FPGA.

Для каждой из построенных схем необходимо представить временную диаграмму работы, на которой последовательным перебором от «0» до «F» или наоборот будут введены все возможные входные комбинации.

Исходная функция:

X	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
Q	0	4	8	C	1	5	9	D	2	6	A	E	3	7	B	F

Табл. 1.1

2. Решение задачи

Общая схема узла представлена на рисунке 2.1.

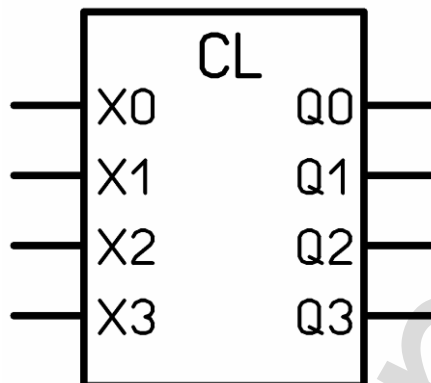


Рис. 2.1

Составляем таблицу.

HEX	X3	X2	X1	X0	HEX	Q3	Q2	Q1	Q0
0	0	0	0	0	F	1	1	1	1
1	0	0	0	1	B	1	0	1	1
2	0	0	1	0	7	0	1	1	1
3	0	0	1	1	3	0	0	1	1
4	0	1	0	0	E	1	1	1	0
5	0	1	0	1	A	1	0	1	0
6	0	1	1	0	6	0	1	1	0
7	0	1	1	1	2	0	0	1	0
8	1	0	0	0	D	1	1	0	1
9	1	0	0	1	9	1	0	0	1
A	1	0	1	0	5	0	1	0	1
B	1	0	1	1	1	0	0	0	1
C	1	1	0	0	C	1	1	0	0
D	1	1	0	1	8	1	0	0	0
E	1	1	1	0	4	0	1	0	0
F	1	1	1	1	0	0	0	0	0

Табл. 2.1

2.1 СДНФ

По таблице 2.1 составляем карты Карно и выписываем уравнения.

$$q_3 = \overline{x_1} = \overline{x_1 \& x_1}$$

$\begin{matrix} \overline{x_1}x_0 \\ x_3x_2 \end{matrix}$	00	01	11	10
00	1	1	0	0
01	1	1	0	0
11	1	1	0	0
10	1	1	0	0

$$q_2 = \overline{x_0} = \overline{x_0 \& x_0}$$

$\begin{matrix} \overline{x_1}x_0 \\ x_3x_2 \end{matrix}$	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

$$q_1 = \overline{x_3} = \overline{x_3 \& x_3}$$

$\begin{matrix} \overline{x_1}x_0 \\ x_3x_2 \end{matrix}$	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	0	0
10	0	0	0	0

$$q_0 = \overline{x_2} = \overline{x_2 \& x_2}$$

$\begin{matrix} \overline{x_1}x_0 \\ x_3x_2 \end{matrix}$	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	0	0	0	0
10	1	1	1	1

Схема и результаты ее симуляции, в базисе И-НЕ, представлены на рисунках 2.1.1 и 2.1.2 соответственно.

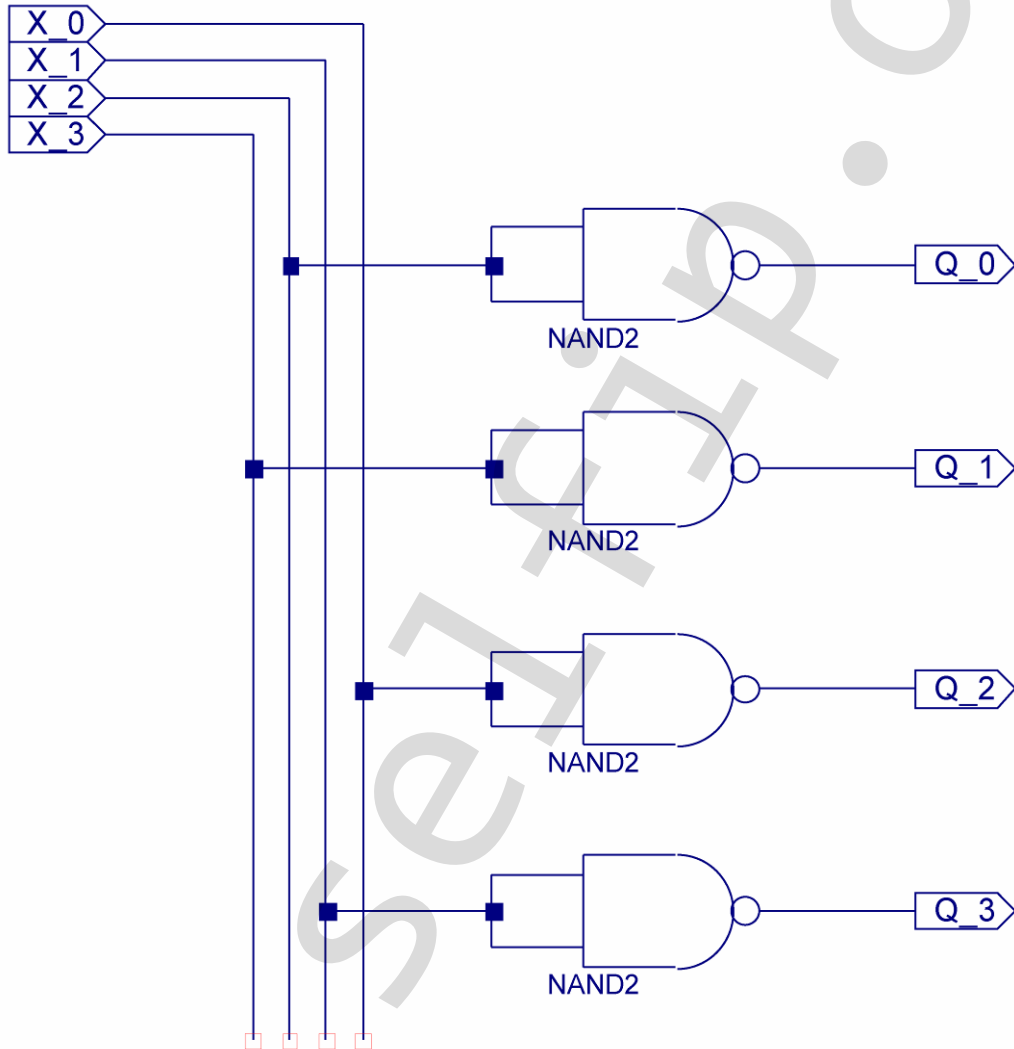


Рис. 2.1.1

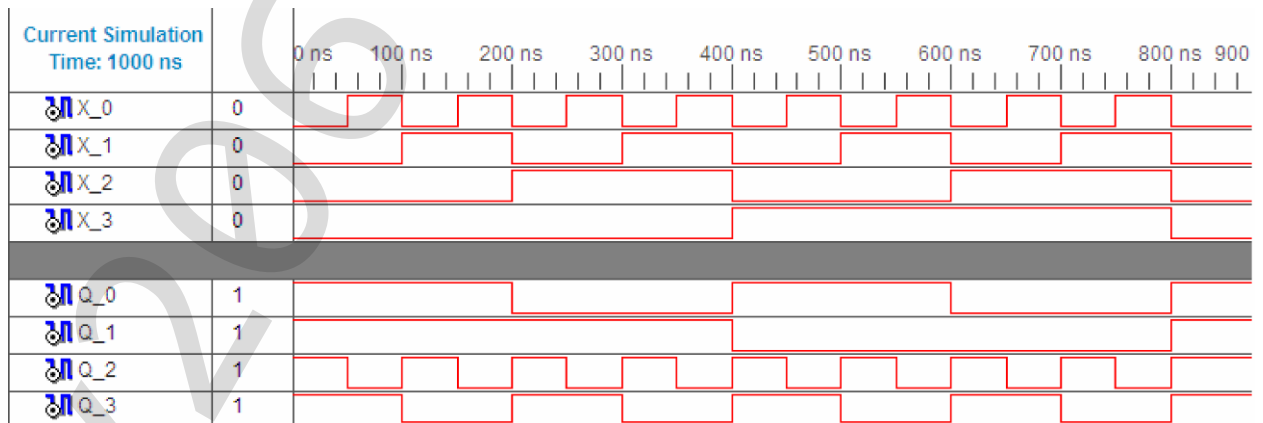


Рис. 2.1.2

2.2 СКНФ

По таблице 2.1 составляем карты Карно и выписываем уравнения.

$$q_3 = \overline{x_1} = \overline{x_1 \vee x_1}$$

x_1x_0 x_3x_2	00	01	11	10
00	1	1	0	0
01	1	1	0	0
11	1	1	0	0
10	1	1	0	0

$$q_2 = \overline{x_0} = \overline{x_0 \vee x_0}$$

x_1x_0 x_3x_2	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

$$q_1 = \overline{x_3} = \overline{x_3 \vee x_3}$$

x_1x_0 x_3x_2	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	0	0
10	0	0	0	0

$$q_0 = \overline{x_2} = \overline{x_2 \vee x_2}$$

x_1x_0 x_3x_2	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	0	0	0	0
10	1	1	1	1

Схема и результаты ее симуляции, в базисе ИЛИ-НЕ, представлены на рисунках 2.2.1 и 2.2.2 соответственно.

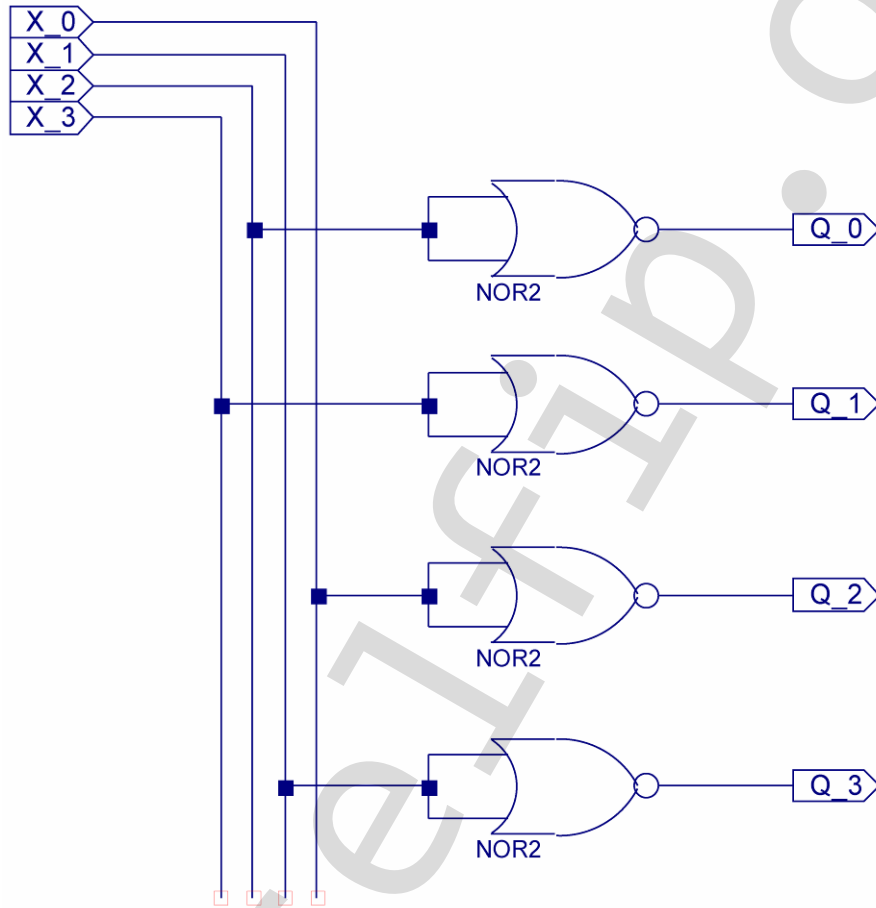


Рис. 2.2.1

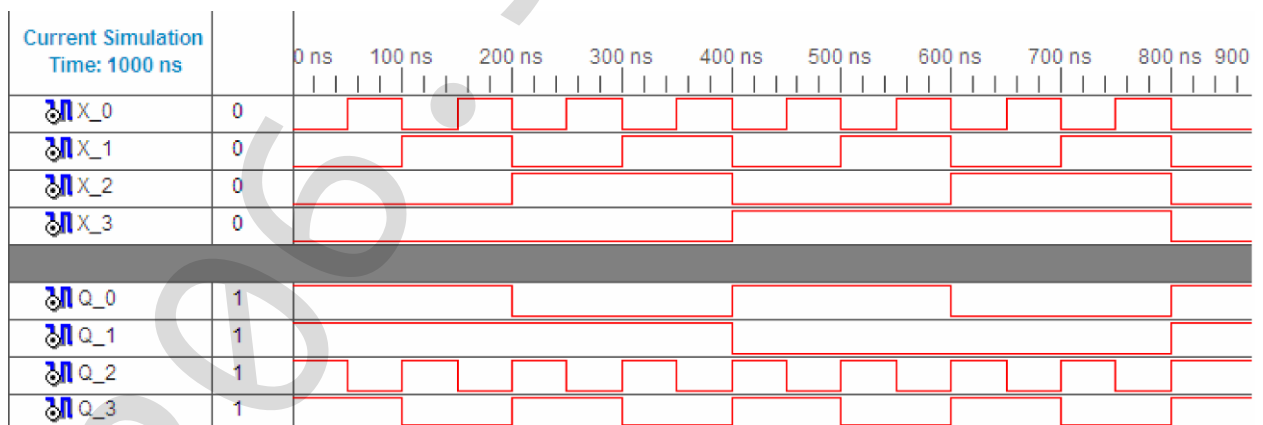


Рис. 2.2.2

2.3 LUT-преобразователь

Заполняем INIT (табл. 2.3.1).

HEX	X3	X2	X1	X0	HEX	Q3	Q2	Q1	Q0	INIT			
										Q3	Q2	Q1	Q0
0	0	0	0	0	F	1	1	1	1	3	5	F	F
1	0	0	0	1	B	1	0	1	1				
2	0	0	1	0	7	0	1	1	1				
3	0	0	1	1	3	0	0	1	1	3	5	F	0
4	0	1	0	0	E	1	1	1	0				
5	0	1	0	1	A	1	0	1	0				
6	0	1	1	0	6	0	1	1	0	3	5	F	0
7	0	1	1	1	2	0	0	1	0				
8	1	0	0	0	D	1	1	0	1				
9	1	0	0	1	9	1	0	0	1	3	5	0	F
A	1	0	1	0	5	0	1	0	1				
B	1	0	1	1	1	0	0	0	1				
C	1	1	0	0	C	1	1	0	0	3	5	0	0
D	1	1	0	1	8	1	0	0	0				
E	1	1	1	0	4	0	1	0	0				
F	1	1	1	1	0	0	0	0	0				

Табл. 2.3.1

Схема и результаты ее симуляции представлены на рисунках 2.3.1 и 2.3.2 соответственно.

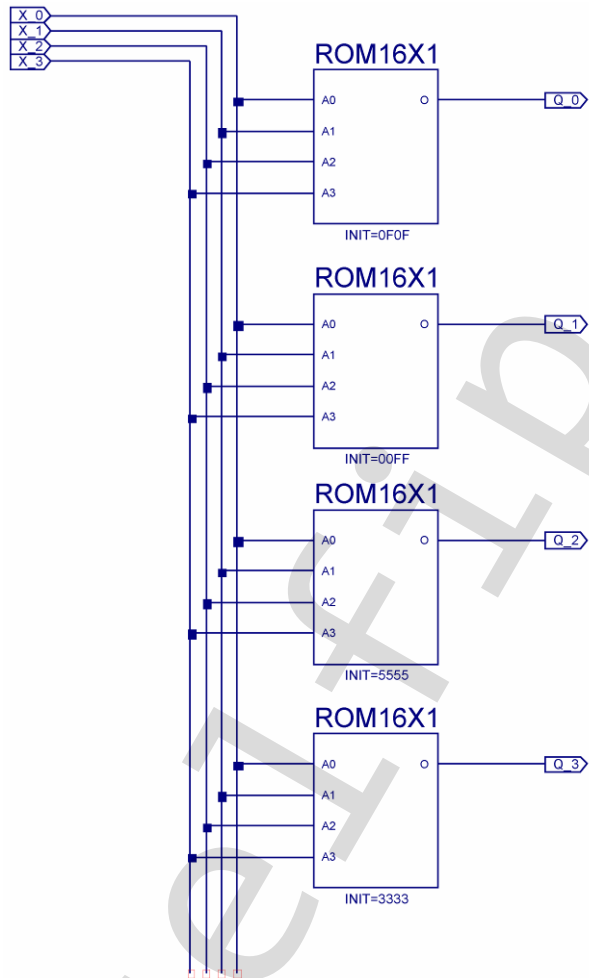


Рис. 2.3.1

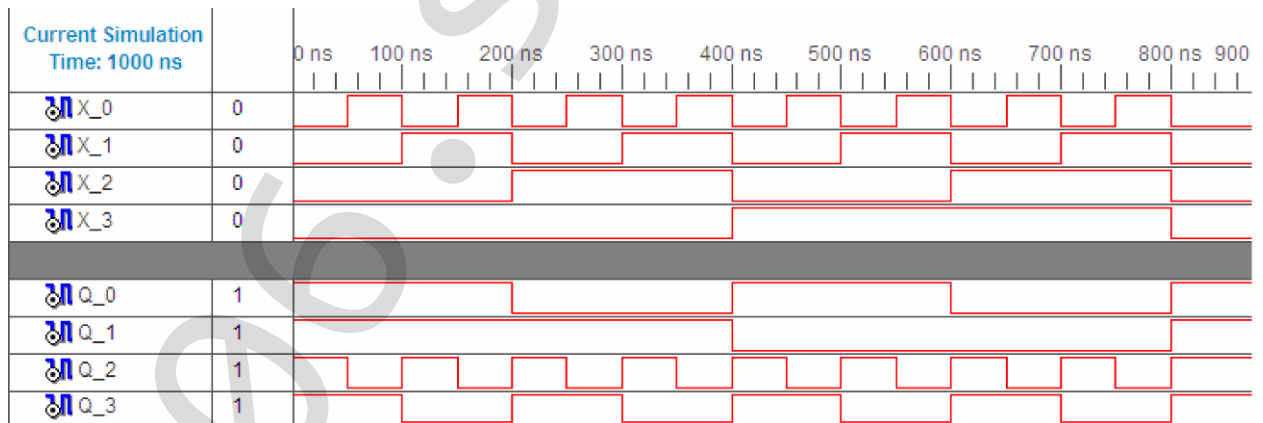


Рис. 2.3.2

3. Вывод

В работе была выполнена реализация функции от четырех аргументов следующими методами: с помощью ДНФ, КНФ и ROM16X1.

Результаты симуляции схем подтверждают корректность реализации во всех трех случаях.

Схемы, полученные в ходе реализации на элементах И-НЕ и ИЛИ-НЕ, оказались максимально экономичными в плане расхода элементной базы, по сравнению с реализацией заданной функции на ROM.