

**МИНИСТЕРСТВО ОБЩЕГО И ПРОФЕССИОНАЛЬНОГО ОБРАЗОВАНИЯ РОССИЙСКОЙ
ФЕДЕРАЦИИ**

**МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ИНСТИТУТ РАДИОТЕХНИКИ, ЭЛЕКТРОНИКИ И
АВТОМАТИКИ
(ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)**

КУРСОВОЙ ПРОЕКТ

по предмету

СХЕМОТЕХНИКА

Факультет ИТ

Москва 2009

СОДЕРЖАНИЕ КУРСОВОГО ПРОЕКТА

<u>Техническое задание</u>	2
<u>1. Анализ существующих структур шифраторов</u>	
1.1. Общие сведения.....	3
1.2. Применение шифраторов.....	4
1.3. Анализ технического задания на курсовой проект.....	4
<u>2. Разработка функциональной и структурной схем проектируемого узла</u>	
2.1. Разработка функциональной схемы.....	5
2.2. Описание работы функциональной схемы.....	7
2.3. Выбор системы элементов.....	7
<u>3. Разработка принципиальной электрической схемы проектируемого узла</u>	
3.1. Описание принципиальной электрической схемы проектируемого узла.....	8
3.2. Характеристики ИМС.....	9
3.3. Описание работы базового логического элемента ИС 155 серии.....	10
3.4. Временные диаграммы работы.....	11
3.5. Расчетная часть.....	12
<u>4. Конструкторская часть</u>	
4.1. Технология изготовления печатной платы.....	15
4.1.1. Технология изготовления печатной платы по субтрактивной технологии.....	16
4.2. Особенности монтажа на односторонних печатных платах.....	17
4.3. Конструкция узла.....	19
4.4. Размещение элементов на плате.....	19
<u>Список используемой литературы</u>	20
<u>5. Графическая часть проекта</u>	21

ТЕХНИЧЕСКОЕ ЗАДАНИЕ

Разработать шифратор:

1. Основание для разработки изделия:

На основании учебного плана.

2. Назначение и область применения:

Шифратор — это комбинационное устройство, преобразующее десятичные числа в двоичную систему счисления, причем каждому входу может быть поставлено в соответствие десятичное число, а набор выходных логических сигналов соответствует определенному двоичному коду. Шифратор иногда называют «кодером» (от англ. coder) и используют, например, для перевода десятичных чисел, набранных на клавиатуре кнопочного пульта управления, в двоичные числа.

3. Условия эксплуатации:

Разрабатываемый шифратор на 10 входов должен эксплуатироваться при температуре окружающей среды 18°C .

4. Общие и частные технические требования:

Тактовая частота $f_{\text{такт}}$ (не менее) 1 МГц

Потребляемая мощность $P_{\text{потр}}$ (не более) 1 Вт

Число входов $n=10$

Число выходов $m=4$

1. АНАЛИЗ СУЩЕСТВУЮЩИХ СТРУКТУР ШИФРАТОРОВ

1.1. Общие сведения

Шифраторы (также, как и элементы И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ) являются комбинационными элементами: потенциалы на их выходах зависят от сиюминутного состояния входов, с их изменением меняется и ситуация на выходах; такие элементы не сохраняют предыдущее состояние после смены потенциалов на входах, т.е. не обладают памятью. Шифраторы выпускаются приоритетными и не приоритетными. У приоритетного шифратора входы имеют разный приоритет. Возбужденный вход с большим приоритетом подавляет действие прежде возбужденного и устанавливает на выходах код, соответствующий своему значению.

Шифратор решает задачу, обратную дешифратору: в частности, на его выходах устанавливается двоичный код, соответствующий десятичному номеру возбужденного информационного входа.

При построении шифратора для получения на выходе натурального двоичного кода учитывают, что единицу в младшем разряде такого кода имеют нечетные десятичные цифры 1, 3, 5, 7, ... , т. е. на выходе младшего разряда должна быть «1», если она есть на входе № 1 или на входе № 3 и т. д. Поэтому входы под указанными номерами через элемент ИЛИ соединяются с выходом младшего разряда. Единицу во втором разряде двоичного кода имеют десятичные цифры 2, 3, 6, 7, . . . , входы с этими номерами через элемент ИЛИ должны подключаться к выходу шифратора, на котором устанавливается второй разряд кода.

Аналогично, входы 4, 5, 6, 7,... через элемент ИЛИ должны быть соединены с выходом, на котором устанавливается третий разряд, так как их коды имеют в этом разряде единицу, и т. д.

Схема шифратора, построенная в соответствии с изложенным принципом, приведена на рис. 1.1. а), а условное изображение – на рис. 1.1. б), где E – вход разрешения работы, а E_0 – выход, логический 0 на котором свидетельствует о том, что ни один информационный вход не возбужден. Для расширения разрядности (каскадирования) шифраторов вход E последующего шифратора соединяют с выходом E_0 предыдущего. Если информационные входы предыдущего шифратора не возбуждены ($E_0=0$), то последующий шифратор получает разрешение работать.

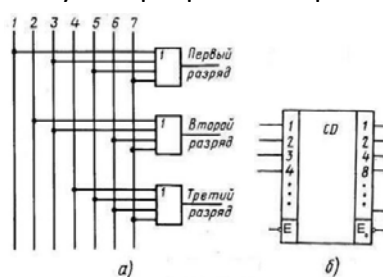


Рис. 1.1.

1.2. Применение шифраторов

Шифратор может быть организован не только для представления (кодирования) десятичного числа двоичным кодом, но и для выдачи определенного кода (его значение заранее выбирается), например, при нажатии клавиши с соответствующим символом. При появлении этого кода система оповещается о том, что нажата определенная клавиша клавиатуры.

Шифраторы применяются в устройствах, преобразующих один вид кода в другой. При этом вначале дешифрируется комбинация исходного кода, в результате чего на соответствующем выходе дешифратора появляется логическая «1». Это отображение входного кода, значение которого определено номером возбужденного выхода дешифратора, подается на шифратор, организованный с таким расчетом, чтобы каждый входной код вызывал появление заданного выходного кода.

1.3. Анализ технического задания на курсовой проект.

Разрабатываемый шифратор должен соответствовать следующим параметрам:

Тактовая частота $f_{\text{такт}}$ (не менее) 1 МГц

Потребляемая мощность $P_{\text{потр}}$ (не более) 1 Вт

Температура окружающей среды 18⁰С

Разрядность входа 10

Выводы:

С точки зрения заданного быстродействия допустимо использование элементов ТТЛ или элементов ТТЛШ.

С точки зрения заданной потребляемой мощности предпочтительнее использование элементов ТТЛ.

2. РАЗРАБОТКА СТРУКТУРНОЙ И ФУНКЦИОНАЛЬНОЙ СХЕМ ПРОЕКТИРУЕМОГО УЗЛА

2.1. Разработка функциональной схемы.

Шифратор преобразует унитарный код в двоичный или двоично-десятичный.

Унитарный код двоичного n -разрядного числа представляется 2^n разрядами, только один из которых равен 1.

Шифратор имеет десять входов 0 - 9. Число 9 в двоичном коде представляется четырьмя разрядами: 1001, т.е. шифратор должен иметь четыре выхода.

В соответствии с этим составляем таблицу:

Входы	Выходы			
	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Из таблицы следует, что на выходе Y_0 единица должна появиться при единице на любом нечетном входе X_1, X_3, X_5, X_7, X_9 , т.е. получаем логическую функцию шифратора в виде СДНФ путем записи "по единицам":

$$Y_0 = X_1 + X_3 + X_5 + X_7 + X_9$$

Аналогично:

$$Y_1 = X_2 + X_3 + X_6 + X_7;$$

$$Y_2 = X_4 + X_5 + X_6 + X_7;$$

$$Y_3 = X_8 + X_9.$$

Следовательно, для реализации шифратора понадобится четыре элемента ИЛИ: пятиходовый, два четырехходовых и двухходовый.

Функциональная схема шифратора, преобразующего десятичные цифры в 4-разрядное двоичное число, приведена на рисунке 2.1.а), а его условное обозначение – на рисунке 2.1.б).

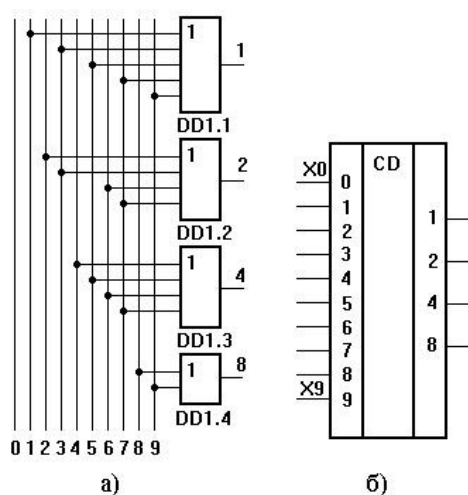


Рис. 2.1.

Таких микросхем нет, поэтому преобразуем СДНФ по формулам Де Моргана:

$$Y_0 = X_1 + X_3 + X_5 + X_7 + X_9 = \overline{\overline{X_1 + X_3 + X_5 + X_7 + X_9}} = \overline{(X_1 + X_3) \cdot X_5 \cdot X_7 \cdot X_9}$$

$$Y_1 = X_2 + X_3 + X_6 + X_7 = \overline{\overline{X_2 + X_3 + X_6 + X_7}} = \overline{X_2 \cdot X_3 \cdot X_6 \cdot X_7};$$

$$Y_2 = X_4 + X_5 + X_6 + X_7 = \overline{\overline{X_4 + X_5 + X_6 + X_7}} = \overline{X_4 \cdot X_5 \cdot X_6 \cdot X_7};$$

$$Y_3 = X_8 + X_9 = \overline{\overline{X_8 + X_9}} = \overline{X_8 \cdot X_9}.$$

Полученные выражения реализуем в виде функциональной схемы (см. чертеж ХХХХ.758710.001.ХХЭ2)

2.2. Описание работы функциональной схемы.

Функциональная схема шифратора, преобразующего десятичные цифры в 4-разрядное двоичное число, приведена на чертеже XXXX.758710.001.XXЭ2

При появлении сигнала логической единицы на одном из десяти входов на четырех выходах шифратора будет присутствовать соответствующее двоичное число. Например: пусть сигнал логической единицы подан на вход 7. Тогда на выходах Y0 – Y2 будут сигналы логических единиц, а на выходе Y3 – сигнал логического нуля. Таким образом, на выходах Y0 - Y3 шифратора мы получим двоичное число 0111.

Внимание: вход X0 не используется (в СДНФ так получилось).

2.3. Выбор системы элементов.

Характеристики ТТЛШ, КМОП и ЭСЛ приведены в таблице:

Параметры	$U_{\text{пит.}}$	$P_{\text{потр.}}$ [л/э]	U^0	U^1	$T_{\text{з.ср.}}$ [л/э]
ТТЛШ	+5 В	19 мВт	0,4 В	2,5 В	>3 нс
КМОП	+3...+15 В	0,4 мкВт	0,01...0,05 В*	4,99...9,99 В*	>50 нс
ЭСЛ	-5,2 В	30 мВт	-0,9 В	-1,8 В	<2 нс

* Для микросхем 561 серии.

Выводы:

1. Элементы КМОП не отвечают заданному быстродействию.
2. Элементы ЭСЛ имеют малую помехоустойчивость, к тому же все логические уровни имеют место в отрицательной области потенциалов. Такие логические уровни непосредственно не совместимы со схемами КМОП и ТТЛ (ТТЛШ), что считается большим недостатком.
3. Элементы ТТЛ и ТТЛШ соответствуют заданному быстродействию.

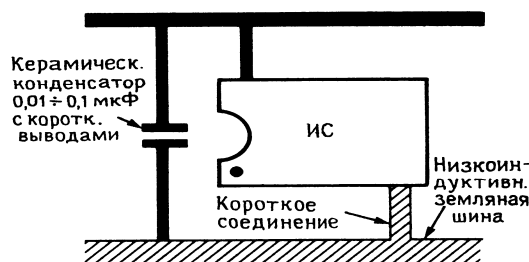
3. РАЗРАБОТКА ПРИНЦИПИАЛЬНОЙ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ ПРОЕКТИРУЕМОГО УЗЛА

3.1. Описание принципиальной электрической схемы проектируемого узла.

Разрабатываемый двоичный шифратор $10 \rightarrow 4$ состоит из двух ИМС К155ЛА6, одной ИМС К155ЛН2, одной ИМС К155ЛЕ1 и четырех керамических конденсаторов емкостью 0,1 мкФ, необходимость использования которых обусловлена следующими соображениями:

Значение порога у элементов ТТЛ близко к уровню земли, вследствие чего все это логическое семейство в известной степени подвержено влиянию помех. Так как эти логические семейства являются быстродействующими, они воспринимают короткие всплески по шине земли. Такие всплески часто возникают при быстрой смене состояний на выходах, что еще более осложняет проблему.

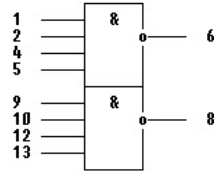
Биполярные ТТЛ элементы предъявляют высокие требования к источнику питания: $+5V \pm 5\%$ при относительно высокой мощности рассеяния. Наличие токовых всплесков в шинах питания, которые вырабатываются схемами с активной нагрузкой, как правило, требует шунтирования источника питания, в идеальном случае один конденсатор емкостью 0,1 мкФ на каждый корпус ИМС.



3.2. Характеристики ИМС.

ТТЛ(K155,K133SN74,CDB4,MH74,USY74, K155ЛА6

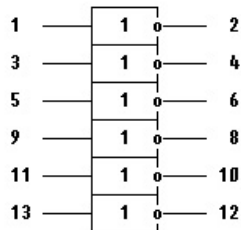
Два логических элемента 4И-НЕ с повышенной нагрузочной способностью



№ выв.	Назначение	№ выв.	Назначение
1	Вход X1	8	Выход Y2
2	Вход X2	9	Вход X5
3	Свободный	10	Вход X6
4	Вход X3	11	Свободный
5	Вход X4	12	Вход X7
6	Выход Y1	13	Вход X8
7	Общий	14	Ucc

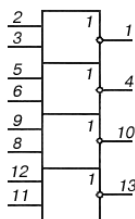
Тип микросхемы	K155ЛА6
Фирма производитель	СНГ
Функциональные особенности	2 элемента 4И-НЕ с повышенной нагрузочной способностью
T,С	0...+70
Icc,мА	27
ТрНL max,нс	15
ТрLH max,нс	22
Корпус	DIP14

ТТЛ(K155,K133SN74,CDB4,MH74,USY74, K155ЛН2



№ выв.	Назначение	№ выв.	Назначение
1	Вход X1	8	Выход Y4
2	Выход Y1	9	Вход X4
3	Вход X2	10	Выход Y5
4	Выход Y2	11	Вход X5
5	Вход X3	12	Выход Y6
6	Выход Y3	13	Вход X6
7	Общий	14	Ucc

Тип микросхемы	K155ЛН2
Фирма производитель	СНГ
Функциональные особенности	6 инверторов с открытым коллекторным выходом
T,С	-10...+70
Icc,мА	7
ТрНL max,нс	24
ТрLH max,нс	32
Корпус	DIP14



К155ЛЕ1

1,4,10,13 - выходы;
 2,3,5,8,9,11,12 - входы;
 7 - общий;
 14 - напряжение питания;

1	Номинальное напряжение питания	5 В ±5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Входной пробивной ток	не более 1 мА
7	Ток потребления при низком уровне выходного напряжения	не более 27 мА
8	Потребляемая статическая мощность на один логический элемент при низком уровне выходного напряжения	не более 36 мВт
9	Время задержки 1-0	не более 15 нс
10	Время задержки 0-1	не более 22 нс

3.3. Описание работы базового элемента ТТЛШ серии 155.

Электрическая принципиальная схема базового ЛЭ ИС 155 приведена на чертеже ХХХХ.758710.002.ХХЭЗ (см. графическую часть курсового проекта).

В качестве базового ЛЭ ИС 155 использован ЛЭ типа И-НЕ. Схема ЛЭ содержит три основных каскада. Входной каскад выполнен на многоэмиттерном транзисторе VT1, фазоразделительный - на транзисторе VT2 и VT3 и резисторах R2, R3, R4, выходной каскад - на транзисторе VT4.

При одновременной подаче на все входы многоэмиттерного транзистора напряжения высокого уровня ток резистора R1 потечет через база - коллекторный переход транзистора VT1 в базу транзистора VT2. Транзисторы VT2 и VT4 открыты, и на выходе схемы устанавливается низкий уровень напряжения.

Если хотя бы на один из входов схемы подан низкий уровень напряжения, то транзисторы VT2, VT4 закрыты и на выходе схемы устанавливается напряжение высокого уровня.

Включение в базу выходного транзистора VT4 корректирующей цепочки (VT3 R3 R4) позволяет повысить помехозащищенность микросхемы в выключенном состоянии в результате улучшения передаточной характеристики.

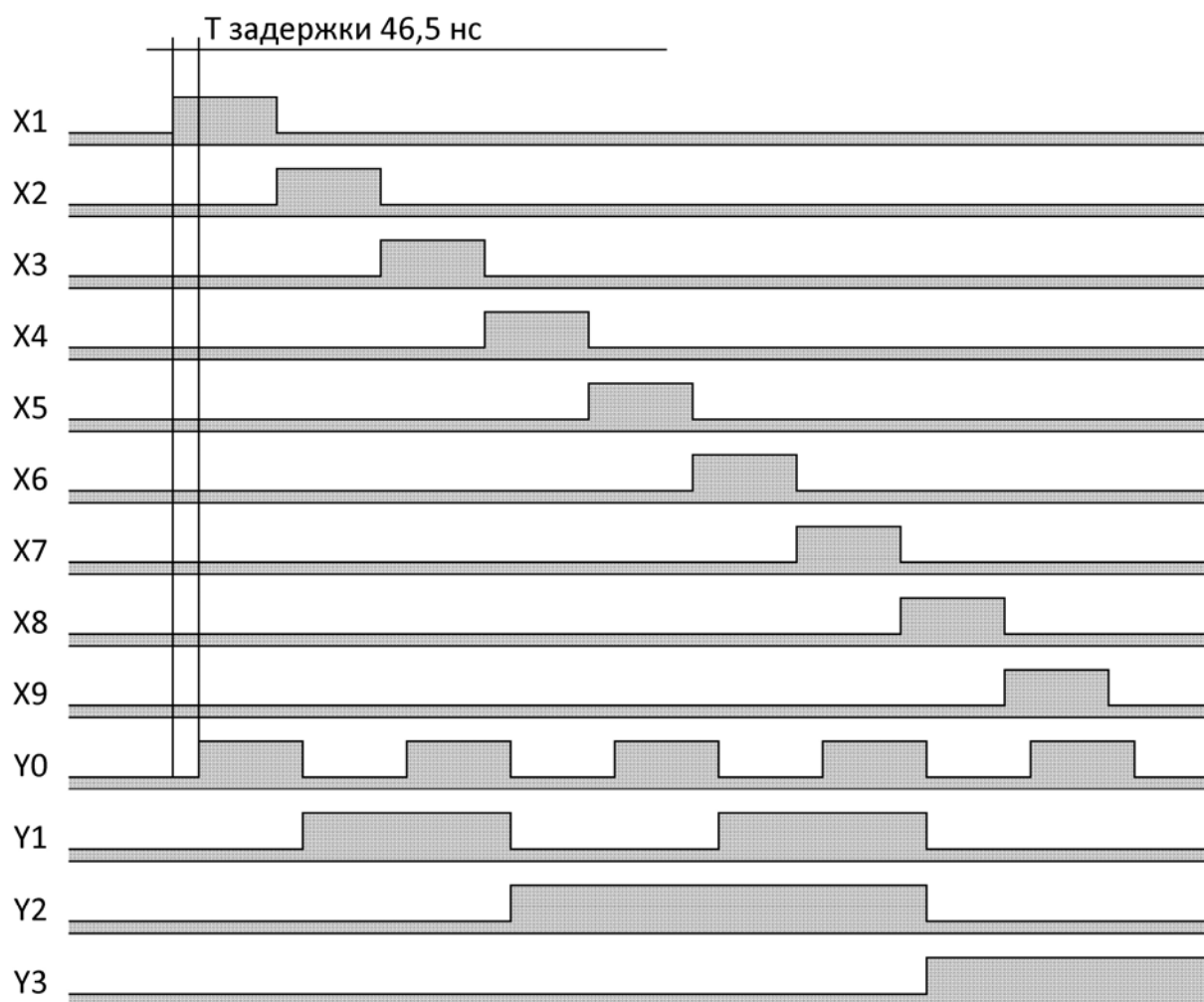
Базовый ЛЭ ИС 155 при потребляемой мощности 10 мВт имеет типовое время задержки 10 нс, что позволяет использовать частоту работы триггеров серии до 35 МГц.

3.4. Временные диаграммы работы.

При появлении сигнала логической единицы на одном из десяти входов на четырех выходах шифратора будет присутствовать соответствующее двоичное число.

Вход X0 не используется.

На выходах шифратора обрабатываются не сами Y_i , т.е. активным уровнем выхода будет высокий.



3.5. Расчетная часть.

3.5.1. Быстродействие проектируемого двоичного шифратора 10→4 рассчитывается с учетом времени задержки на двух микросхемах, соединенных последовательно и имеющих наибольшее время задержки (K155ЛА6 и K155ЛН2):

$$t_{\text{зад. ср.}} = (t_{\text{зад.1}}^{10} + t_{\text{зад.1}}^{01}) : 2 + (t_{\text{зад.2}}^{10} + t_{\text{зад.2}}^{01}) : 2 = (15 + 22) : 2 + (24 + 32) : 2 = 46,5 \text{ нс},$$

тогда:

$$\text{быстродействие} = 1 / t_{\text{зад. ср.}} = 1 / 46,5 \text{ нс} = 21505376 \text{ Гц}$$

Так как расчетное быстродействие превышает заданное, то разработанная схема соответствует заданному условию.

3.5.2. Потребляемая мощность проектируемого двоичного шифратора 10→4 рассчитывается как суммарная для всех ИМС, используемых в схеме, т. е. для четырех микросхем:

$$P_{\text{потр.}} = \sum P_{\text{потр. ИМС1-4}} = 0,449 \text{ Вт}$$

Так как расчетная потребляемая мощность не превышает заданную, то разработанная схема соответствует данному условию.

3.5.3. Помехоустойчивость цифровых микросхем определяют по следующей методике. Измерив значения выходных напряжений $U_{\text{вых.мин.}}^1$, $U_{\text{вых.макс.}}^0$ и пороговых напряжений $U_{\text{пор.}}^1$, $U_{\text{пор.}}^0$, вычисляют статическую помехоустойчивость по высокому уровню с помощью формулы:

$$U_{\text{пом.}}^1 = | U_{\text{вых.мин.}}^1 - U_{\text{пор.}}^1 |$$

статическую помехоустойчивость по низкому уровню по формуле:

$$U_{\text{пом.}}^0 = | U_{\text{пор.}}^0 - U_{\text{вых.макс.}}^0 |$$

и выбирают меньшее из двух полученных значений.

Помехоустойчивость проектируемого двоичного шифратора 10→4 определяем по справочнику для микросхем серии K155:

$$U_{\text{пом.}}=0,4 \text{ В}$$

3.5.4. Нагрузочную способность проектируемого двоичного шифратора 10→4 определяем по справочнику для микросхем серии K155:

$$K_{\text{раз.}}=10.$$

3.5.5. Расчет рабочего значения плотности тока в проводниках на печатной плате.

Основные требования к электрическим параметрам печатных плат сформулированы в ГОСТ 23751 — 86 и отраслевых стандартах.

Для 3 класса плотности имеем:

Шаг координатной сетки 1,27мм

Ширина проводника $t=0,254$ мм

Расстояние между проводниками $s=0,254$ мм

Ширина пояска печатной площадки $b=0,1$ мм

Толщина фольги печатной платы $h_{\phi}=90$ мкм (с лужением)

Тогда:
$$i=I_{\text{раб.}}/h_{\phi}\cdot t$$

За $I_{\text{раб.}}$ примем значение тока в цепи питания микросхем, тогда:

$$i=0,088/90\cdot 10^{-3}\cdot 0,254=3,85 \text{ А/мм}^2$$

Для открытых печатных проводников, (т.е. не для многослойных печатных плат) предельное допустимое значение 15...30 А/мм².

Так как расчетная плотность тока не превышает предельное допустимое значение, то разработанная печатная плата соответствует данному условию.

3.5.6. Расчет надежности.

Для расчета надежности для всех элементов схемы из справочника выписываются значения интенсивности отказов при работе в нормальных условиях.

Наименование элементов	Интенсивность отказов	Количество элементов	Интенсивность отказов общая
ИМС	$0,1 \cdot 10^{-6} \text{ час}^{-1}$	4	$0,4 \cdot 10^{-6} \text{ час}^{-1}$
конденсаторы	$0,002 \cdot 10^{-6} \text{ час}^{-1}$	4	$0,08 \cdot 10^{-6} \text{ час}^{-1}$
разъем	$0,025 \cdot 10^{-6} \text{ час}^{-1}$	16	$0,4 \cdot 10^{-6} \text{ час}^{-1}$
пайки	$0,0004 \cdot 10^{-6} \text{ час}^{-1}$	60	$0,024 \cdot 10^{-6} \text{ час}^{-1}$
Печатная плата	$0,6 \cdot 10^{-6} \text{ час}^{-1}$	1	$0,6 \cdot 10^{-6} \text{ час}^{-1}$

Суммарная интенсивность отказов($\Sigma\lambda$)= $0,1504 \cdot 10^{-5} \text{ час}^{-1}$

Надежность определим по формуле:

$$P(t) = e^{-(\Sigma\lambda) \cdot t}$$

Для 100 часов работы:

$$P(100) = 0,9998496$$

Для 1000 часов работы:

$$P(1000) = 0,998497$$

Для 10000 часов работы:

$$P(10000) = 0,985073$$

4. КОНСТРУКТОРСКАЯ ЧАСТЬ

4.1. Технология изготовления печатной платы.

Печатная плата – монтажная плата для размещения пассивных и активных ЭРЭ.

Изготавливаются печатные платы на основе диэлектрика или металла, на который наносится диэлектрический слой. Рисунок содержит токоведущие дорожки, контактные площадки, пробельные места, соединительные отверстия, монтажные отверстия.

В современных печатных платах в рисунок могут входить пассивные элементы (R, C, L).

По конструктивным признакам печатные платы можно разделить на:

1. Однослойные, которые бывают:

а) односторонними;

б) двухсторонними.

2. Многослойные.

В настоящее время при изготовлении печатных плат достигнуты следующие параметры:

1. Габаритные размеры (максимальные):

* 240 X 360 мм;

* 400 X 600 мм.

2. Шаг координатной сетки:

* 2,5 мм;

* 1,25 мм;

* 0,5 мм;

* 0,25 мм.

3. Минимальная ширина печатного проводника:

* 0,1 мм;

* 0,075 мм;

* 0,05 мм;

4. Минимальное расстояние между печатными проводниками:

- * 0,1 мм;
- * 0,075 мм;
- * 0,05 мм.

5. Минимальный диаметр соединительного отверстия:

- * 0,1 мм.

6. Для многослойных печатных плат количество слоев, которое можно получить:

- * 16-24 (старая технология);
- * 6-12; 10-20 (новая технология);
- * до 50 слоев (японская технология).

Наибольшее распространение получили однослойные печатные платы.

4.1.1. Технология изготовления печатной платы по субтрактивной технологии.

Применяются следующие материалы (для односторонних печатных плат):

1. Гетинакс ГФ-1-35-2,0;
2. Стеклотекстолит фольгированный СФ-1Н-50Г-1,2.

Производятся следующие технологические операции:

1. Проектирование заготовки печатной платы: к основному размеру прибавляется 10 мм для технологического поля, которое необходимо для:
 - а) базовых отверстий (для однозначной ориентации при прохождении технологического процесса);
 - б) технологических отверстий (для контроля прохождения технологического процесса);
 - в) крепления пробных проводников.

После изготовления технологическое поле удаляется.

2. Получение заготовки из фольгированного материала – применяются роликовые или дисковые ножницы, фрезерование.

3. Сверление всех отверстий на станке с ЧПУ.

4. Производится подготовка поверхностей: снимается оксидная пленка с фольги с помощью погружения заготовки в 5% раствор соляной кислоты на 5 мин., поверхность обезжиривается.

5. Получение изображения печатных проводников:

а) фотоспособом – заготовка покрывается специальным материалом – фоторезистом, реагирующим на свет и, в зависимости от конкретной схемы изготовления фоторезист будет защищать нужные места (пробельные или печатные проводники).

б) трафаретным способом – защита с помощью трафарета и краски.

6. Удаление фольги: применяются травители – хлористое железо Fe_2Cl_3 , персульфат аммония.

7. Для печатных плат, имеющих разъемы необходимо получение износостойкого слоя в месте контакта:

а) печатная плата облуживается;

б) в местах контакта снимается ПОС химическим методом, после этого гальванически наращивается никель или кобальт (подслой), а затем электрохимически наслаивается палладий или золото.

8. Производится частичная герметизация изделия: печатную плату опускают в лакофлюс.

9. Удаляется технологическое поле.

Контроль производится на всех этапах.

4.2. Особенности монтажа на односторонних печатных платах.

Одним из основных условий, обеспечивающих надежную работу РЭА, сконструированной с широким применением интегральных микросхем, является соблюдение правил по их установке, пайке и монтажу. Основными элементами конструкции узлов и блоков РЭА, позволяющими наиболее полно реализовать преимущества МС, являются печатные платы. При установке МС на печатные платы необходимо соблюдать следующие требования и условия:

1. установка и крепление микросхем на печатных платах должны обеспечивать их нормальную работу в условиях эксплуатации аппаратуры;

2. должны строго выдерживаться указанные в технической документации расстояния от корпусов МС до мест изгибов и мест пайки их выводов;

3. шаг установки МС на печатные платы должен быть кратен 2,5; 1,25 или 0,5 мм (в зависимости от типа корпуса и конструкции узла, блока);

4. должно соблюдаться линейно-многорядное (или шахматное) расположение МС, обеспечивающее наибольшую плотность их компоновки и возможность механизированной сборки узлов;

5. микросхемы с расстоянием между выводами, кратном 2,5 мм, должны располагаться на печатной плате таким образом, чтобы их выводы совпадали с узлами координатной сетки;

6. если расстояние между выводами МС не кратно 2,5 мм, они должны располагаться так, чтобы один или несколько выводов микросхемы совпадали с узлами координатной сетки;

7. установка и крепление микросхем должны обеспечивать доступ к любой из них и возможность их замены;

8. для правильной ориентации МС на печатной плате должны быть предусмотрены «ключи», определяющие положение первого вывода каждой микросхемы;

9. расположение и крепление МС должны обеспечивать возможность групповой пайки с последующей влагозащитой;

10. в случае необходимости плата с установленными МС должна быть защищена от воздействия климатических факторов.

Кроме того, при расположении МС на печатных платах при конструировании следует руководствоваться следующими положениями:

1. микросхемы должны быть удалены от элементов, которые при работе выделяют большое количество тепла, на расстояния, исключающие перегрев микросхем;

2. микросхемы недопустимо располагать в магнитных полях постоянных магнитов, трансформаторов и дросселей;

3. необходимо обеспечивать конвекцию воздуха у радиаторов элементов и элементов, выделяющих большое количество тепла.

Необходимо принимать меры, исключая воздействие на МС статического электричества.

4.3. Конструкция узла.

Проектируемый двоичный шифратор $10 \rightarrow 4$ состоит из двух ИМС К155ЛА6, одной ИМС К155ЛН2, одной ИМС К155ЛЕ1 и четырех керамических конденсаторов типа КМ емкостью 0,1 мкФ.

Элементы установлены на односторонней печатной плате, изготовленной по субтрактивной технологии.

Печатная плата соответствует 3 классу плотности согласно ГОСТ 2.414-78 и имеет следующие параметры:

Материал текстолит фольгированный СФ-1Н-50Г-1,2.

Шаг координатной сетки 1,25 мм

Ширина проводника $t=0,25$ мм

Ширина пояска печатной площадки $b=0,1$ мм

Толщина фольги печатной платы $h_{\phi}=50$ мкм (без лужения)

Толщина фольги печатной платы $h_{\phi}'=90$ мкм (с лужением)

4.4. Размещение элементов на плате.

Размещение элементов проектируемого двоичного шифратора $10 \rightarrow 4$ производится согласно сборочному чертежу XXXX.758710.006.ХХСБ.

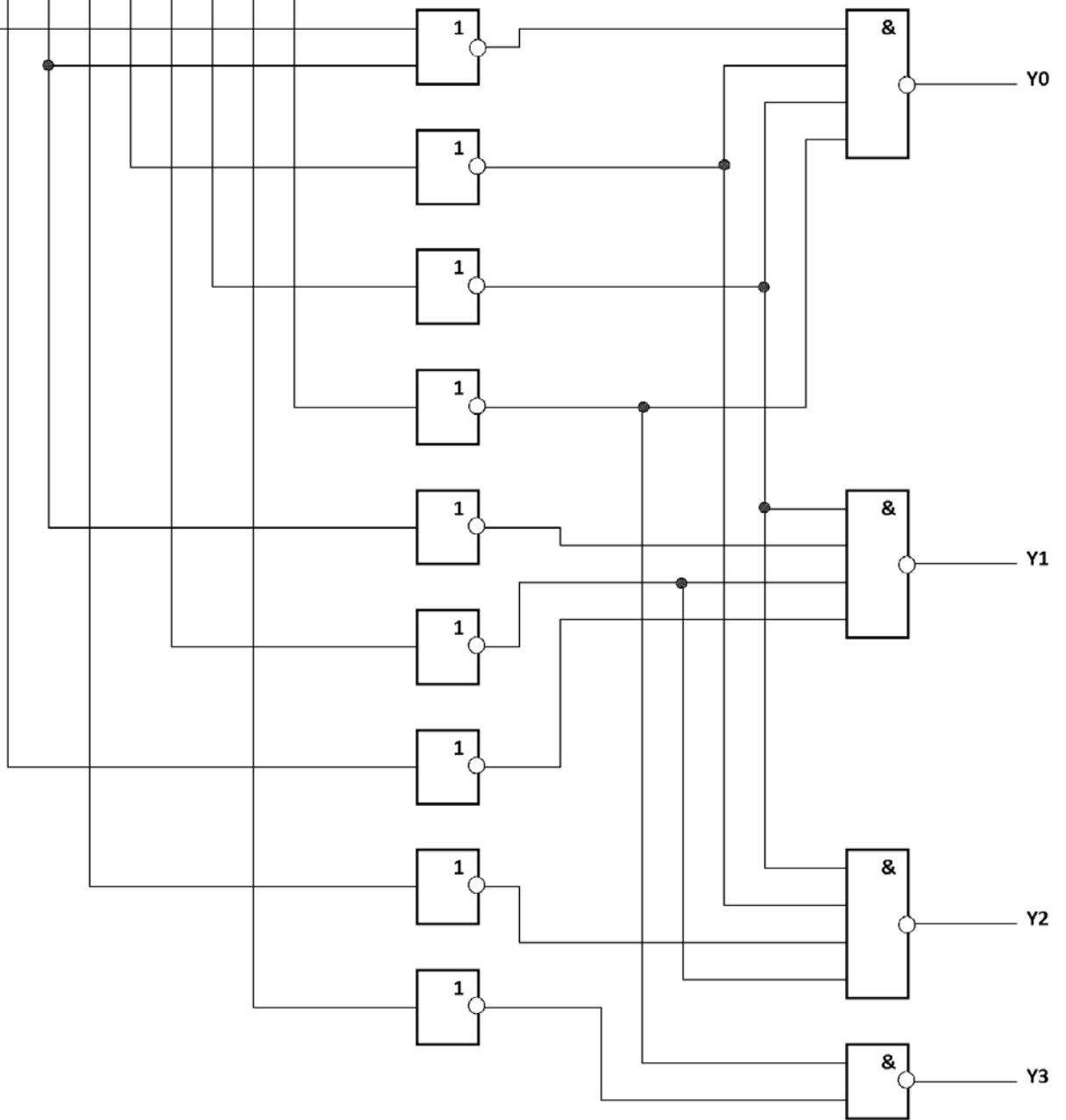
Конденсаторы, установленные на печатной плате должны иметь выводы минимальной длины.

Установка и крепление микросхем на печатной плате должны обеспечивать их нормальную работу в условиях эксплуатации аппаратуры.

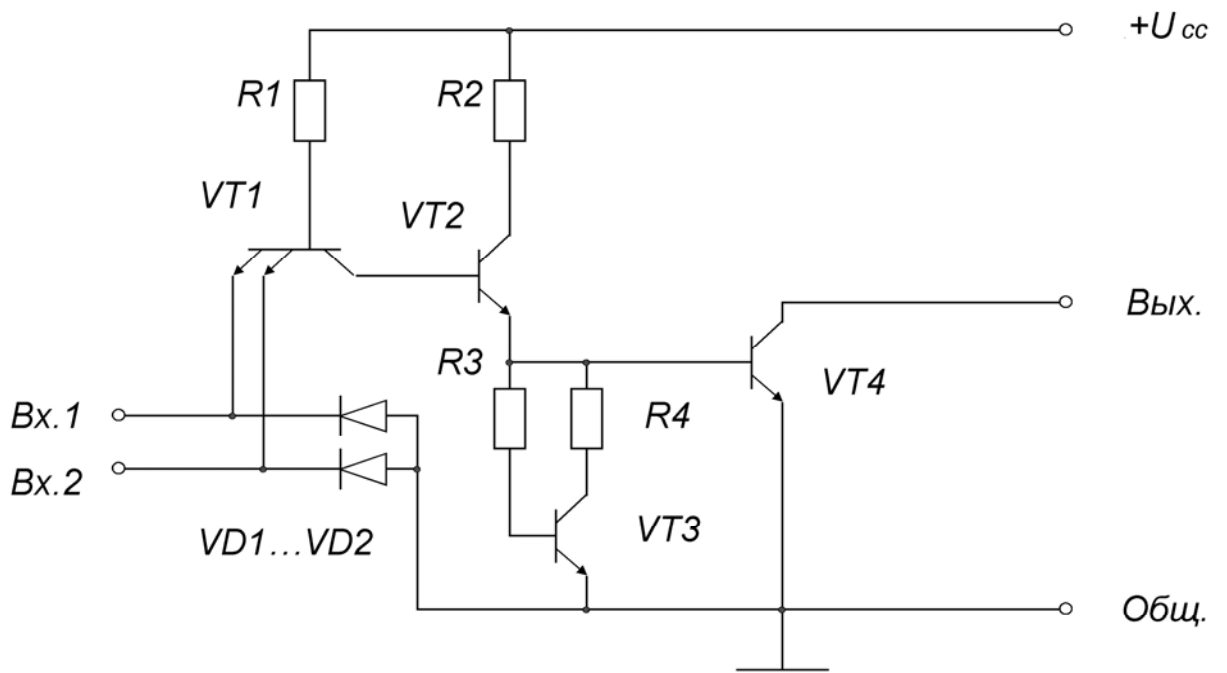
БИБЛИОГРАФИЧЕСКИЙ СПИСОК

- 1.Потемкин И.С. Функциональные узлы цифровой автоматики. - М.:Энергоатомиздат, 1988-320с.
- 2.Угрюмов Е.П. Цифровая схемотехника. - СПб.:БХВ-Петербург, 2001 -528с.
- 3.Угрюмов Е.П. Проектирование элементов и узлов ЭВМ. - М.:Высшая школа, 1987-318с.
- 4.Шило В.Л. Популярные цифровые микросхемы. – М.:Радио и связь, 1989-352с.
- 5.Тарабрин Б.В. Интегральные микросхемы. – М.: Энергоатомиздат, 1985-528с.
6. Хоровиц П., Хилл У. Искусство схемотехники. Часть 2. – М.: Мир, 1993-371с.
- 7.Мальцев П.П., Долидзе Н.С. и др. Цифровые интегральные микросхемы: Справочник. – М.:Радио и связь, 1994-240с.
8. Тарабрин Б.В., Якубовский С.В., Барканов Н.А. и др. Справочник по интегральным микросхемам.- М.: Энергия, 1980-816с.

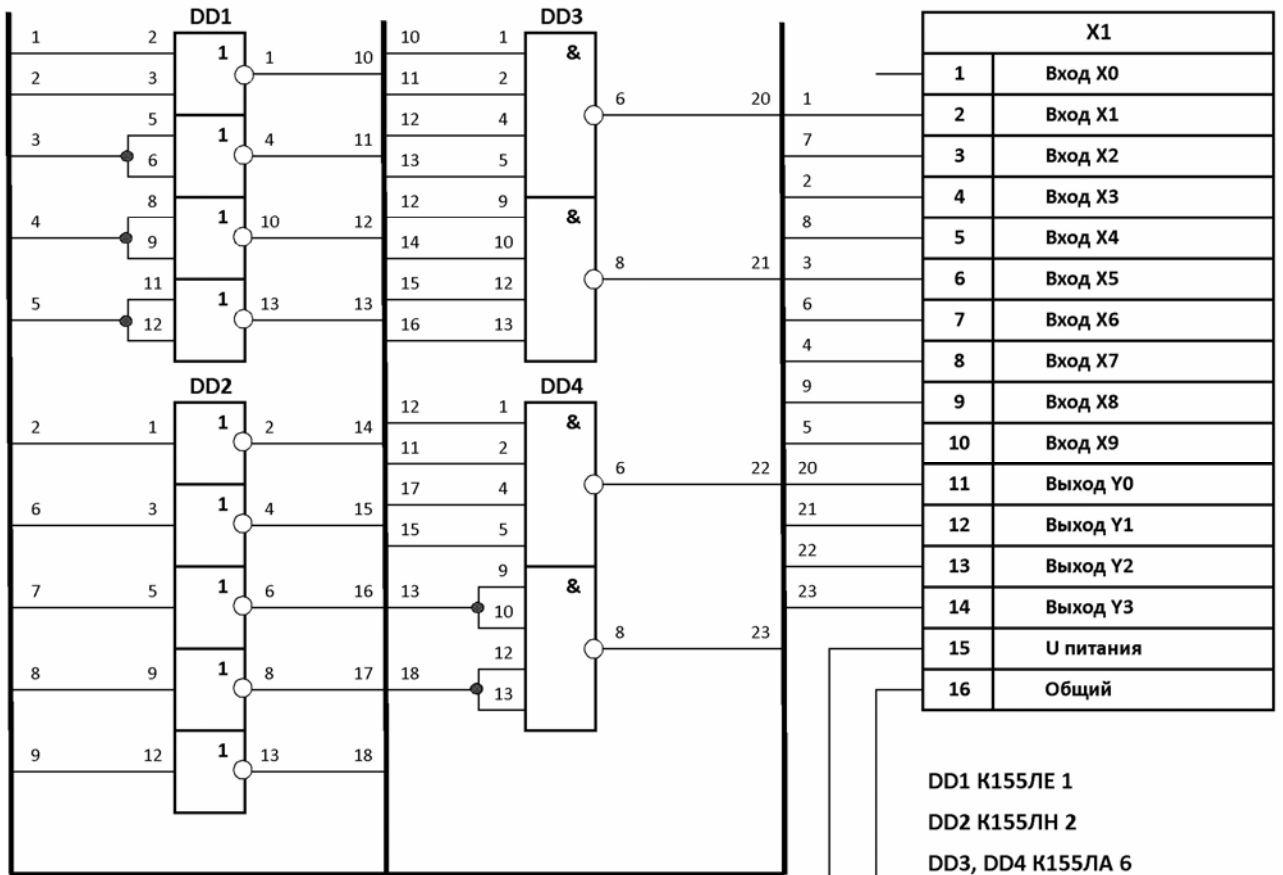
X0 X1 X2 X3 X4 X5 X6 X7 X8 X9



					XXXX.758710.001.XXЭ2		
					Шифратор 10→4 схема функциональная		
Изм	Лист	№ докум.	Подпись	Дата	Лит.	Масса	Масшт.
Разраб.							
Пров.							
Т.контр.					Лист 1	Листов 1	
Н.контр.							
Утв.							

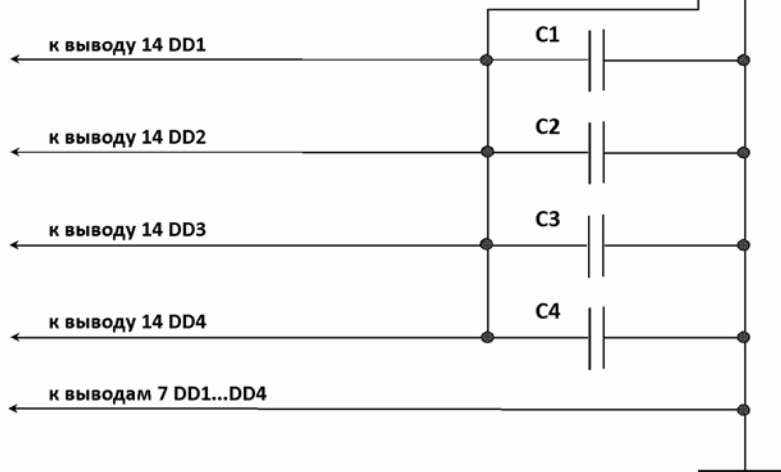


					XXXX.758710.002.XXЭЗ		
					Элемент базовый ТТЛ 155 серии схема электрическая принципиальная		
Изм	Лист	№ докум.	Подпись	Дата	Лит.	Масса	Масшт.
Разраб.							
Пров.							
Т.контр.					Лист 1	Листов 1	
Н.контр.							
Утв.							

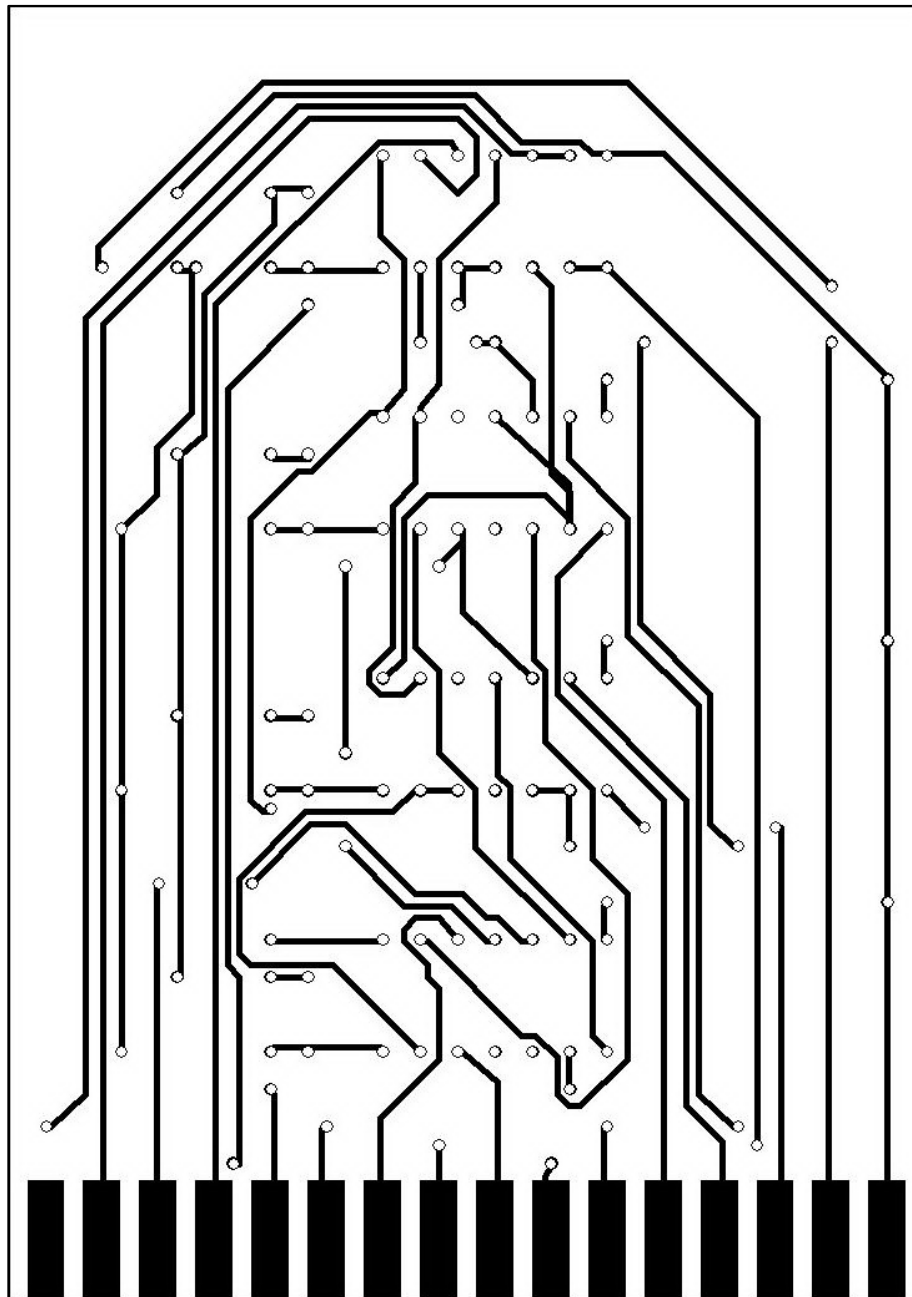


X1	
1	Вход X0
2	Вход X1
3	Вход X2
4	Вход X3
5	Вход X4
6	Вход X5
7	Вход X6
8	Вход X7
9	Вход X8
10	Вход X9
11	Выход Y0
12	Выход Y1
13	Выход Y2
14	Выход Y3
15	U питания
16	Общий

DD1 К155ЛЕ 1
 DD2 К155ЛН 2
 DD3, DD4 К155ЛА 6
 С1...С4 КМ 0,1 мкФ



XXXX.758710.003.XXЭЗ				
Шифратор 10→4 схема электрическая принципиальная				
Изм	Лист	№ докум.	Подпись	Дата
Разраб.				
Пров.				
Т.контр.				
Н.контр.				
Утв.				
			Лит.	Масса
			Масшт.	
			Лист 1	Листов 1



Вид со стороны печатных проводников.

Шаг координатной сетки 1,27 мм

Ширина проводника $t=0,254$ мм

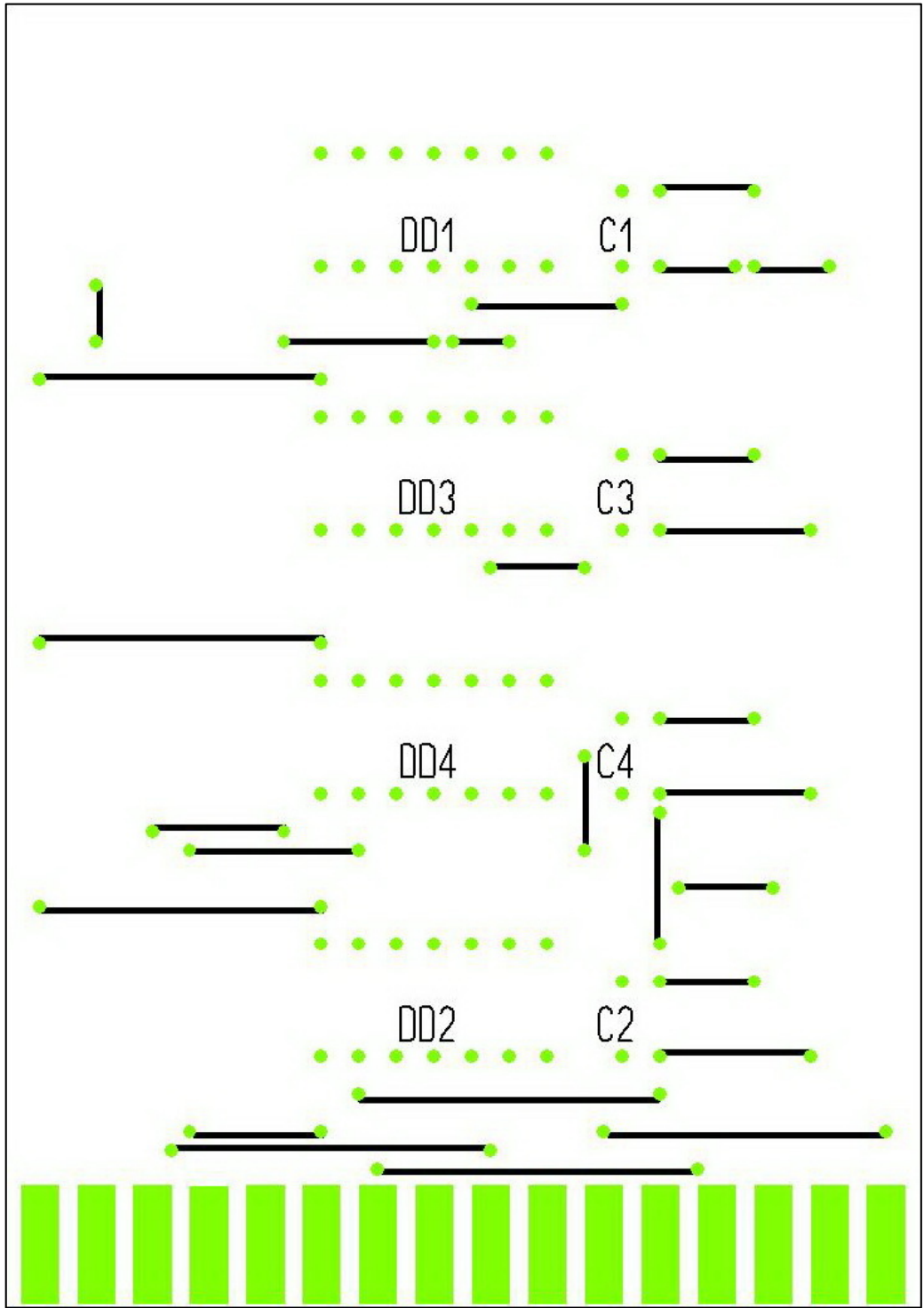
Ширина пояска печатной площадки $b=0,1$ мм

Толщина фольги печатной платы $h_{\phi}=50$ мкм (без лужения)

Толщина фольги печатной платы $h=90$ мкм (с лужением)

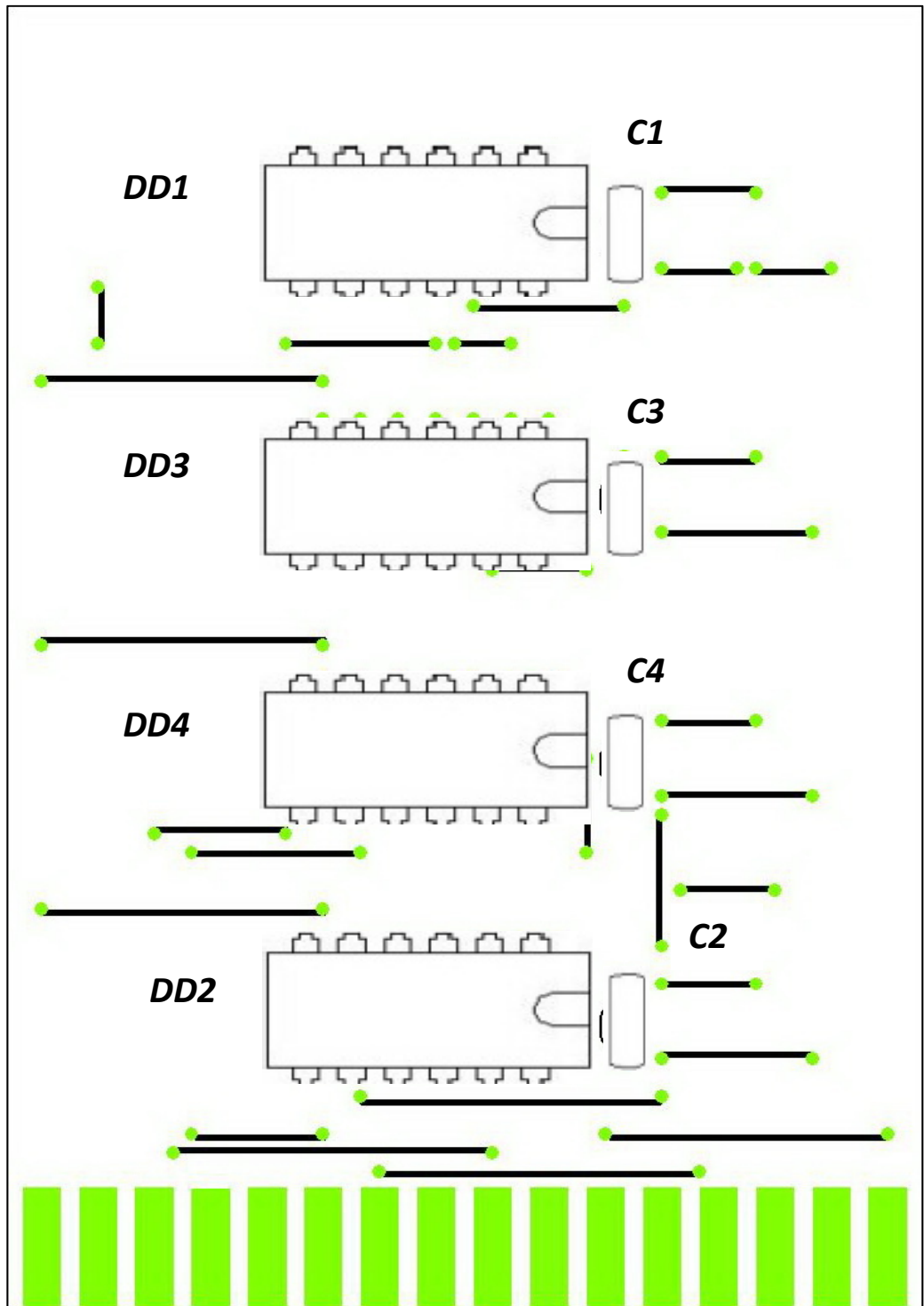
Размеры печатной платы 62 x 88 мм

					XXXX.758710.004.XXЭЗ		
					Плата печатная шифратора 10→4		
Изм	Лист	№ докум.	Подпись	Дата	Лит.	Масса	Масшт.
Разраб.							
Пров.							
Т.контр.							
Н.контр.							
Утв.							
					Лист 1	Лист 1	



Вид со стороны установленных перемычек.

					XXXX.758710.005.XXСБ			
					Обратная сторона платы печатной шифратора 10→4	Лит.	Масса	Масшт.
Изм	Лист	№ докум.	Подпись	Дата				
Разраб.	.							
Пров.								
Т.контр.								
						Лист 1	Листов 1	
Н.контр.								
Уте.								



<i>Изм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Подпись</i>	<i>Дата</i>
<i>Разраб.</i>				
<i>Пров.</i>				
<i>Т.контр.</i>				
<i>Н.контр.</i>				
<i>Утв.</i>				

XXXX.758710.006.XXСБ

**Размещение деталей
на плате печатной
шифратора 10→4**

<i>Лит.</i>	<i>Масса</i>	<i>Масшт.</i>
<i>Лист 1</i>	<i>Лист 1</i>	

Поз. обозн.	Наименование	Кол.	Примечание
	<u>Спецификация</u>	1	лист
	<u>Сборочный чертеж</u>		
	XXXX.758710.006.ХХСБ	1	лист
	<u>Сборочная единица</u>		
	Шифратор 10→4	1	шт.
	<u>Детали</u>		
	Плата печатная	1	шт.
	<u>Микросхемы</u>		
D1	K155ЛЕ1	1	шт.
D2	K155ЛН2	1	шт.
D3,D4	KP155ЛА6	2	шт.
	<u>Конденсаторы</u>		
C1-C4	KM 0,1 мкФ	4	шт.

					XXXX.758710.006.ХХСБ					
Изм	Лист	№ докум.	Подпись	Дата						
Разраб.					Шифратор 10→4 перечень элементов					
Пров.								Лит.	Лист	Листов
								у	1	1
Н.контр.										
Утв.										